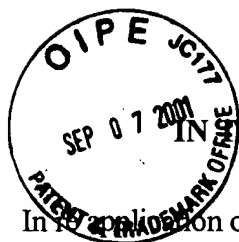


#2  
BT  
01-25-02



**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Katsumi KIKUCHI, et al.

Appln. No.: 09/894,123

Group Art Unit: 2812

Confirmation No.: 5729

Examiner: Unknown

Filed: June 29, 2001

For: SEMICONDUCTOR PACKAGE BOARD USING A METAL BASE

RECEIVED  
SEP 10 2001  
TC 2800 MAIL ROOM

**SUBMISSION OF PRIORITY DOCUMENT**

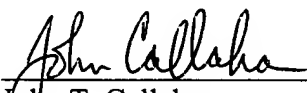
Commissioner for Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

(  
SUGHRUE, MION, ZINN,  
MACPEAK & SEAS, PLLC  
2100 Pennsylvania Avenue, N.W.  
Washington, D.C. 20037-3213  
Telephone: (202) 293-7060  
Facsimile: (202) 293-7860

  
\_\_\_\_\_  
John T. Callahan  
Registration No. 32,607

Enclosures: Japanese 2000-199634

Date: September 7, 2001



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

K. Kikuchi et al.  
09/894,123  
Filed 6/29/01  
Q65269

1041

別紙添付書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 6月30日

出 願 番 号

Application Number:

特願2000-199634

出 願 人

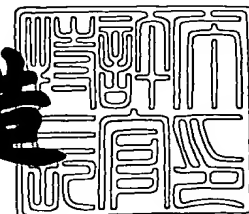
Applicant (s):

日本電気株式会社

001年 4月 6日

特 許 庁  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3028383

【書類名】 特許願

【整理番号】 34601572

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 23/04

【発明の名称】 半導体パッケージ基板及び半導体装置並びにその製造方法

【請求項の数】 35

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 菊池 克

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 下戸 直典

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 松井 孝二

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100090158

    【弁理士】

    【氏名又は名称】 藤巻 正憲

    【電話番号】 03-3433-4221

【手数料の表示】

    【予納台帳番号】 009782

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージ基板及び半導体装置並びにその製造方法

【特許請求の範囲】

【請求項1】 金属板からなり半導体素子を嵌入するための開口部を有するメタルベースと、前記メタルベースに積層された多層配線構造膜と、を有し、前記半導体素子は前記開口部内で前記多層配線構造膜に搭載され、前記多層配線構造膜は、前記メタルベースに接する第1の面における前記開口部内の領域に形成され前記半導体素子に接続される第1の金属パッドを有することを特徴とする半導体パッケージ基板。

【請求項2】 前記多層配線構造膜は、交互に積層された複数の配線層及び絶縁層と、前記絶縁層に設けられ前記配線層間を接続するビアと、前記第1の面の反対側の第2の面に形成された第2の金属パッドとを有し、前記第2の金属パッドは前記配線層及び前記ビアを介して前記第1の金属パッドに接続されていることを特徴とする請求項1に記載の半導体パッケージ基板。

【請求項3】 少なくとも1個の前記第1の金属パッドと前記配線層との間に薄膜コンデンサを有することを特徴とする請求項1又は2に記載の半導体パッケージ基板。

【請求項4】 前記メタルベースは、ステンレス、鉄、ニッケル、銅及びアルミニウムからなる群から選択された少なくとも1種の金属又はその合金からなることを特徴とする請求項1乃至3のいずれか1項に記載の半導体パッケージ基板。

【請求項5】 前記第1の金属パッドの表層部分は、金、錫及び半田からなる群から選択された少なくとも1種の金属又はその合金により覆われていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体パッケージ基板。

【請求項6】 前記絶縁層は、エポキシ樹脂、エポキシアクリレート樹脂、ウレタンアクリレート樹脂、ポリエステル樹脂、フェノール樹脂、ポリイミド樹脂、BCB (benzocyclobutene) 及びPBO (polybenzoxazole) からなる群から選択された1種又は2種以上の有機樹脂からなる層が積層されたものであることを特徴とする請求項2乃至5のいずれか1項

に記載の半導体パッケージ基板。

【請求項 7】 前記多層配線構造膜の前記第 2 の面上に配置され、前記第 2 の金属パッドに接続されたキャリア基材を有することを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の半導体パッケージ基板。

【請求項 8】 前記キャリア基材が前記第 2 の金属パッドに導電性ペースト又は異方導電膜を介して接続されていることを特徴とする請求項 7 に記載の半導体パッケージ基板。

【請求項 9】 前記キャリア基材は、少なくとも 1 層の配線層を有するプリント基板、セラミック基板又は有機無機複合基板のいずれかであることを特徴とする請求項 7 又は 8 に記載の半導体パッケージ基板。

【請求項 10】 前記キャリア基材が抵抗を有することを特徴とする請求項 7 乃至 9 のいずれか 1 項に記載の半導体パッケージ基板。

【請求項 11】 前記キャリア基材がコンデンサを有することを特徴とする請求項 7 乃至 10 のいずれか 1 項に記載の半導体パッケージ基板。

【請求項 12】 前記キャリア基材がグランド機能を有することを特徴とする請求項 7 乃至 11 のいずれか 1 項に記載の半導体パッケージ基板。

【請求項 13】 前記キャリア基材における前記多層配線構造膜が配置されていない側の表面に半田ボール又は接続ピンが配置され、この半田ボール又は接続ピンは前記キャリア基材を介して前記第 2 の金属パッドに接続されていることを特徴とする請求項 7 乃至 12 のいずれか 1 項に記載の半導体パッケージ基板。

【請求項 14】 請求項 1 乃至 13 のいずれか 1 項に記載の半導体パッケージ基板と、この半導体パッケージ基板における前記メタルベースの前記開口部内に嵌入され前記第 1 の金属パッドに接続された半導体素子と、を有することを特徴とする半導体装置。

【請求項 15】 前記半導体素子が、低融点金属又は導電性樹脂のいずれかの材料により前記第 1 の金属パッドにフリップチップ接続されていることを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】 前記半導体素子が、低融点金属、有機樹脂又は金属混入樹脂からなる群から選択された少なくとも 1 種の材料により前記多層配線構造膜に

連結されていることを特徴とする請求項 14 又は 15 に記載の半導体装置。

【請求項 17】 金属板からなるメタルベースの第 1 の面に複数の第 1 の金属パッドを形成する工程と、前記メタルベースにおける前記第 1 の面上に、絶縁層と配線層からなり表面に複数の第 2 の金属パッドを有し前記第 2 の金属パッドは夫々前記配線層を介して前記第 1 の金属パッドに接続されるように多層配線構造膜を形成する工程と、前記メタルベースにおいて前記第 1 の金属パッドが形成されている領域を含むように半導体素子を嵌入するための開口部を形成し前記第 1 の金属パッドを露出させる工程と、を有することを特徴とする半導体パッケージ基板の製造方法。

【請求項 18】 前記第 1 の金属パッドを形成する工程の前に、前記メタルベースの第 2 の面における前記開口部を形成する予定の領域に凹部を形成する工程を有することを特徴とする請求項 17 に記載の半導体パッケージ基板の製造方法。

【請求項 19】 前記第 1 の金属パッドを形成する工程は、前記メタルベースの第 1 の面において前記第 1 の金属パッドを形成する予定の領域に開口部を有する第 1 のレジストを形成する工程と、前記第 1 のレジストをマスクとして金属をめっきすることにより前記第 1 の金属パッドを形成する工程と、前記第 1 のレジストを除去する工程と、を有することを特徴とする請求項 17 又は 18 に記載の半導体パッケージ基板の製造方法。

【請求項 20】 前記第 1 のレジストを形成する工程と、前記第 1 のレジストをマスクとして金属をめっきすることにより前記第 1 の金属パッドを形成する工程との間に、前記第 1 のレジストをマスクとして前記メタルベースをエッチングすることにより前記メタルベースの表面における前記第 1 の金属パッドを形成する予定の領域に凹部を形成する工程を有することを特徴とする請求項 19 に記載の半導体パッケージ基板の製造方法。

【請求項 21】 前記第 1 のレジストを形成する工程と、前記第 1 のレジストをマスクとして金属をめっきすることにより前記第 1 の金属パッドを形成する工程との間に、前記第 1 のレジストをマスクとして半田をめっきし半田ボールを形成する工程を有することを特徴とする請求項 19 又は 20 に記載の半導体パッ

ケージ基板の製造方法。

【請求項 2 2】 前記第 1 の金属パッドを形成する工程と、前記第 1 の金属パッド上に多層配線構造膜を形成する工程との間に、少なくとも 1 個の前記第 1 の金属パッド上に薄膜コンデンサを形成する工程を有することを特徴とする請求項 1 7 乃至 2 1 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 2 3】 前記メタルベースにおける前記第 1 の面上に多層配線構造膜を形成する工程は、絶縁性樹脂からなる絶縁層を形成する工程と、前記絶縁層における前記第 1 の金属パッドに整合する位置にビアを形成する工程と、前記ビアに整合する位置に配置された配線とこの配線の間には充填された絶縁性樹脂とから構成される配線層を形成する工程と、この多層配線構造膜の表面に露出するように前記第 2 の金属パッドを形成する工程と、を有することを特徴とする請求項 1 7 乃至 2 2 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 2 4】 前記メタルベースにおいて前記第 1 の金属パッドが形成されている領域を含むように半導体素子を収納するための開口部を形成し前記第 1 の金属パッドを露出させる工程は、前記メタルベースの前記第 2 の面において前記開口部を形成する予定の領域に開口部を有する第 2 のレジストを形成する工程と、前記第 2 のレジストをマスクとして前記メタルベースをエッチングして開口部を形成し前記第 1 の金属パッドを露出させる工程と、前記第 2 のレジストを除去する工程と、を有することを特徴とする請求項 1 7 乃至 2 3 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 2 5】 前記多層配線構造膜の表面に前記第 2 の金属パッドに接続するように半田ボール又は接続ピンを形成する工程を有することを特徴とする請求項 1 7 乃至 2 4 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 2 6】 前記メタルベースを構成する金属には、ステンレス、鉄、ニッケル、銅及びアルミニウムからなる群から選択された少なくとも 1 種の金属又はその合金を使用することを特徴とする請求項 1 7 乃至 2 5 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 2 7】 前記多層配線構造膜における前記メタルベースが配置されていない側の面にキャリア基材を接合させる工程を有することを特徴とする請求



項 1 7 乃至 2 6 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 2 8】 前記キャリア基材は、少なくとも 1 層の配線層を有するプリント基板、セラミック基板又は有機無機複合基板のいずれかであることを特徴とする請求項 2 7 に記載の半導体パッケージ基板の製造方法。

【請求項 2 9】 前記多層配線構造膜に前記キャリア基材を接合させる工程は、接着剤、熱圧着又は化学反応を利用した接着のいずれかの方法を使用することを特徴とする請求項 2 7 又は 2 8 に記載の半導体パッケージ基板の製造方法。

【請求項 3 0】 前記キャリア基材を前記第 2 の金属パッドに導電性ペースト又は異方導電膜を介して接続する工程を有することを特徴とする請求項 2 7 乃至 2 9 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 3 1】 前記キャリア基材の表面に半田ボール又は接続ピンを、前記キャリア基材を介して前記第 2 の金属パッドに接続するように形成する工程を有することを特徴とする請求項 2 7 乃至 3 0 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 3 2】 前記多層配線構造膜にキャリア基材を接合させる工程は、前記メタルベースに開口部を形成し前記第 1 の金属パッドを露出させる工程の前に行うことを特徴とする請求項 2 7 乃至 3 1 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 3 3】 前記多層配線構造膜にキャリア基材を接合させる工程は、前記メタルベースに開口部を形成し前記第 1 の金属パッドを露出させる工程の後に行うことを特徴とする請求項 2 7 乃至 3 1 のいずれか 1 項に記載の半導体パッケージ基板の製造方法。

【請求項 3 4】 請求項 1 7 乃至 3 3 のいずれか 1 項に記載の方法により製造された半導体パッケージ基板の第 1 の金属パッドに、半導体素子を接続することを特徴とする半導体装置の製造方法。

【請求項 3 5】 前記半導体素子が、低融点金属又は導電性樹脂のいずれかの材料により前記第 1 の金属パッドにフリップチップ接続されていることを特徴とする請求項 3 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は金属基板を使用する半導体パッケージ基板及びそれを使用する半導体装置並びにその製造方法に関し、特に、半導体素子の搭載部の平滑性に優れ半導体装置の信頼性を向上させる半導体パッケージ基板及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

従来、多層配線基板、例えば半導体素子を搭載する多層配線基板として、特開平 8 - 3 3 0 4 7 4 号公報に開示されているような高密度な配線が可能なセラミック多層配線基板が多く使用されている。このセラミック多層配線基板は、アルミナ等からなる絶縁基板と、その表面に形成された W 及び M o 等の高融点金属からなる配線導体とから構成されており、この絶縁基板の一部分に凹部が形成され、この凹部に半導体素子が収納され、蓋体により封止されるものである。

【 0 0 0 3 】

また、最近では特開平 1 1 - 1 7 0 5 8 号公報及び特許第 2 6 7 9 6 8 1 号公報に開示されているように、絶縁材料には有機樹脂を使用しエッチング法及びめっき法により銅配線を形成することで微細な回路を形成して多層化するプリント基板、例えば、ビルドアップ基板が使用されている。絶縁材料に有機樹脂を使用する有機樹脂多層配線基板は、多数の半導体素子を搭載したマルチチップモジュール (MCM) 等への適用も提案されている。このようなプリント基板、特に、プリント基板上に絶縁層の薄膜を形成してゆくビルドアップ基板は、表層に微細な回路を形成できるため、回路の高密度化に有効である。

【 0 0 0 4 】

更に、チップサイズパッケージ (CSP) 及びボールグリッドアレイ (BGA) の形態として、特開 2 0 0 0 - 5 8 7 0 1 号公報に示されているポリイミド系等のフィルムに銅配線を形成したテープタイプの基板が使用されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、従来の技術には以下に示すような問題点がある。セラミック多

層配線基板において絶縁基板を構成するセラミックは、硬くて脆い性質を有することから、製造工程及び搬送工程において欠け及び割れ等の損傷が発生しやすく、損傷が発生すると半導体素子の気密封止性が損なわれるため不良品となり、セラミック多層配線基板の歩留まりが低下するという問題点がある。

## 【0006】

また、セラミック多層配線基板は、焼成前のグリーンシート上に配線を印刷し、各シートを積層して焼成させて製造される。この製造工程において、高温での焼成により収縮が生じるために、焼成後の基板には反り、変形及び寸法のばらつき等の形状不良が発生しやすいという問題点がある。このような形状不良の発生により、高密度化された回路基板及びフリップチップ等の基板に要求される厳しい平坦性に対して、十分に対応できないという問題点がある。即ち、このような形状不良により、回路の多ピン化、高密度化及び微細化が阻害されると共に、半導体素子の搭載部の平坦性が失われるため、半導体素子と基板との間のフリップチップ接続された部分にクラック及びはがれ等が発生しやすく、半導体装置の信頼性を低下させるという問題点がある。

## 【0007】

更に、ビルドアップ基板においては、コア材に使用しているプリント基板と表層に形成される絶縁樹脂膜との熱膨張差から基板の反りが発生する。この反りも多ピン化している半導体素子をフリップチップ接続する際の障害となり、前述の如く、回路の高密度化を阻害すると共に、ビルドアップ基板の歩留まりを低下させる。

## 【0008】

更にまた、ポリイミド系等のテープを使用する基板においては、半導体素子を搭載する際のテープ基材の伸縮による位置ずれが大きく、回路の高密度化へ対応が十分にできないという問題点がある。

## 【0009】

更にまた、従来の基板においては、基板上に多層配線構造膜を形成し、この多層配線構造膜の上に半導体素子を搭載しているため、半導体素子の搭載部には多層化による波打ちが発生し、多層配線構造膜と半導体素子との接続が不安定にな

るという問題点もある。

#### 【 0 0 1 0 】

更にまた、従来の半導体装置において、基板の剛性を向上させるためにはスティフナを装着する必要がある。例えば、複数の半導体素子を覆う大きなヒートシンクを装着する場合は、基板とヒートシンクの間における半導体素子と半導体素子との隙間にスティフナを挿入している。この方法により、基板の剛性は向上するものの半導体装置の製造工程が煩雑になり、半導体装置における製造コストの上昇を招いている。

#### 【 0 0 1 1 】

本発明はかかる問題点に鑑みてなされたものであって、従来の半導体パッケージ基板を改良し、多層配線基板の平坦性を向上させることにより、多ピン化、高密度化及び微細化が容易で信頼性が高く、且つ、スティフナを装着する必要がない新規な半導体パッケージ基板及び半導体装置並びにその製造方法を提供することを目的とする。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

本発明に係る半導体パッケージ基板は、金属板からなり半導体素子を嵌入するための開口部を有するメタルベースと、前記メタルベースに積層された多層配線構造膜と、を有し、前記半導体素子は前記開口部内で前記多層配線構造膜に搭載され、前記多層配線構造膜は、前記メタルベースに接する第 1 の面における前記開口部内の領域に形成され前記半導体素子に接続される第 1 の金属パッドとを有することを特徴とする。

#### 【 0 0 1 3 】

本発明においては、平坦なメタルベース上に多層配線構造膜が積層されているため多層配線構造膜の平坦性が向上し、また、メタルベースが多層配線構造膜の補強材として機能するため多層配線構造膜の変形が抑制され回路の多ピン化、高密度化及び微細化が可能になる。

#### 【 0 0 1 4 】

本発明に係る半導体装置は、前記半導体パッケージ基板と、この半導体パッケ

ージ基板における前記メタルベースの前記開口部内に嵌入され前記第1の金属パッドに接続された半導体素子と、を有することを特徴とする。

【0015】

本発明においては、半導体素子をメタルベースの開口部内に嵌入し、この半導体素子を波打ちがなく平坦性が良好な多層配線構造膜の最表面に接続するため、多層配線構造膜と半導体素子の接続部における信頼性が向上する。

【0016】

本発明に係る半導体パッケージ基板の製造方法は、金属板からなるメタルベースの第1の面に複数個の第1の金属パッドを形成する工程と、前記メタルベースにおける前記第1の面上に、絶縁層と配線層からなり表面に複数個の第2の金属パッドを有し前記第2の金属パッドは夫々前記配線層を介して前記第1の金属パッドに接続されるように多層配線構造膜を形成する工程と、前記メタルベースにおいて前記第1の金属パッドが形成されている領域を含むように半導体素子を嵌入するための開口部を形成し前記第1の金属パッドを露出させる工程と、を有することを特徴とする。

【0017】

本発明においては、平坦なメタルベースを基板として多層配線構造膜を積層し、その後、メタルベースにおける半導体素子を嵌入する予定の領域に開口部を設けることにより、多層配線構造膜の平坦性を向上させることができ、特に、多層配線構造膜における半導体素子を接続する面の平坦性を向上させることができる。

【0018】

本発明に係る半導体装置の製造方法は、前記方法により製造された半導体パッケージ基板の第1の金属パッドに、半導体素子を接続することを特徴とする。

【0019】

【発明の実施の形態】

以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明に係る半導体パッケージ基板及び半導体装置の実施例について説明する。

## 【 0 0 2 0 】

図 1 は、本発明装置の第 1 実施例に係る半導体パッケージ基板及び半導体装置の構成を示す図であり、図 1 ( a ) は表面側からみた半導体装置の斜視図、図 1 ( b ) は裏面側からみた半導体装置の斜視図、図 1 ( c ) は部分断面図である。本実施例は、本発明をフルグリッド B G A に適用した場合のものである。

## 【 0 0 2 1 】

図 1 ( a ) 乃至 ( c ) に示す半導体装置は半導体パッケージ基板 3 1 a 及びこの半導体パッケージ基板 3 1 a に実装された半導体素子 1 6 から構成される。この半導体パッケージ基板 3 1 a においては、金属板からなるメタルベース 1 1 上に多層配線構造膜 1 5 が形成されている。このメタルベース 1 1 にはその中央に貫通する開口部が形成されており、この開口部内に半導体素子 1 6 が嵌入され、多層配線構造膜 1 5 上に搭載されている。多層配線構造膜 1 5 におけるメタルベース 1 1 及び半導体素子 1 6 が配置されていない側の面（以下、多層配線構造膜 1 5 の裏面という）には第 2 の金属パッド 2 9 が設けられており、この第 2 の金属パッド 2 9 上には B G A 用半田ボール 1 9 が搭載されている。

## 【 0 0 2 2 】

多層配線構造膜 1 5 におけるメタルベース 1 1 及び半導体素子 1 6 が配置されている側の面（以下、多層配線構造膜 1 5 の表面という）のメタルベース 1 1 の開口部内には半導体素子 1 6 を搭載するための第 1 の金属パッド 1 2 が設けられており、第 1 の金属パッド 1 2 は半導体素子 1 6 の半田ボール 1 8 に接続されている。また、多層配線構造膜 1 5 には、所定のパターンを有する配線及びこの配線間に充填された絶縁性樹脂とから構成される配線層 1 4 と、有機樹脂からなる絶縁層 1 3 とが交互に積層されている。

## 【 0 0 2 3 】

多層配線構造膜 1 5 は、ビルドアップ工法で使用されているサブトラクティブ法、セミアディティブ法又はフルアディティブ法等により積層され、メタルベース 1 1 上に形成される。サブトラクティブ法は、例えば特開平 1 0 - 5 1 1 0 5 号公報に開示されているように、基板又は樹脂上の銅箔をエッチングして回路パターンとする方法である。セミアディティブ法は、例えば特開平 9 - 6 4 4 9 3

号公報に開示されているように、給電層を形成した後にレジスト内に電解めっきを析出させ、レジストを除去後に給電層をエッチングして回路パターンとする方法である。フルアディティブ法は、例えば特開平 6 - 3 3 4 3 3 4 号公報に開示されているように、基板又は樹脂の表面を活性化させた後にレジストでパターンを形成し、このレジストを絶縁層として無電解めっき法により回路パターンを形成する方法である。

## 【 0 0 2 4 】

半導体素子 1 6 は、メタルベース 1 1 の開口部、即ち、多層配線構造膜 1 5 の表面側に嵌入され、半田ボール 1 8 により多層配線構造膜 1 5 の第 1 の金属パッド 1 2 に接続されており、半導体素子 1 6 と多層配線構造膜 1 5 の間の空間における半田ボール 1 8 間にはアンダーフィル 1 7 が充填されている。

## 【 0 0 2 5 】

また、BGA 用半田ボール 1 9 は第 2 の金属パッド 2 9 に接続されており、第 2 の金属パッド 2 9 は配線層 1 4 の最上層に接続されており、配線層 1 4 の各層は絶縁層 1 3 内のビアを介して互いに接続されており、配線層 1 4 の最下層は絶縁層 1 3 内のビアを介して第 1 の金属パッド 1 2 に接続されており、第 1 の金属パッド 1 2 は半田ボール 1 8 を介して半導体素子 1 6 に接続されている。

## 【 0 0 2 6 】

メタルベース 1 1 は、ステンレス、鉄、ニッケル、銅及びアルミニウムからなる群から選択された少なくとも 1 種の金属又はその合金から構成されることができるが、ステンレス及び銅合金が取り扱いの面で最適である。また、メタルベース 1 1 の厚さは 0. 1 乃至 1. 5 mm が適している。

## 【 0 0 2 7 】

半導体素子搭載用の第 1 の金属パッド 1 2 における半田ボール 1 8 と接続する表面を構成する材料は、金、錫若しくは半田のうちいずれかの金属又はその合金が適している。本実施例においては、金属パッド 1 2 の表面は金により構成されている。また、図 1 (c) において、金属パッド 1 2 と半田ボール 1 8 との接触面は多層配線構造膜 1 5 の表面と同一面上にあるが、金属パッド 1 2 の表面を多層配線構造膜 1 5 の表面よりも窪んでいる形状とし、この窪みに半田ボール 1 8

のダムとしての機能を持たせることも可能である。

【0028】

絶縁層13は、エポキシ樹脂、エポキシアクリレート樹脂、ウレタンアクリレート樹脂、ポリエステル樹脂、フェノール樹脂、ポリイミド樹脂、BCB (benzocyclobutene) 及びPBO (polybenzoxazole) からなる群から選択された1種又は2種以上の有機樹脂により形成されている。これらの有機樹脂のうちの1種を配線層14間の全ての絶縁層13に使用してもよいし、前記有機樹脂の2種以上の層を混在させて配線層14間に配置してもよい。本実施例においては、絶縁層13は例えばポリイミド樹脂により形成するが、例えば、最下層の絶縁層13をポリイミド樹脂により形成し、2層目以降をエポキシ樹脂により形成してもよい。

【0029】

配線層14における配線を構成する金属は、コストの観点から銅が最適であるが、金、銀、アルミニウム及びニッケルからなる群から選択された少なくとも1種の金属又はその合金も使用可能である。本実施例においては、配線層14における配線は銅から構成されている。

【0030】

本第1実施例に係る半導体装置は半導体パッケージ基板31aに半導体素子16が実装されている。次に、この実装方法について説明する。まず、半導体素子16を半田ボール18により金属パッド12にフリップチップ接続し、アンダーフィル17を半導体素子16と多層配線構造膜15との間の空間に流し込み、硬化させる。次いで、多層配線構造膜15における金属パッド29にBGA用半田ボール19を装着する。この工程により図1に示す半導体装置が製造される。図1では、半導体素子16が金属パッド12に半田ボール18を介してフリップチップ接続されている例を示しているが、半導体素子16をフェイスアップの状態でも多層配線構造膜15の表面に取り付け、ワイヤーボンディング等の手段により半導体素子16を多層配線構造膜15に電氣的に接続してもよい。

【0031】

上述の如く構成された第1実施例の半導体パッケージ基板においては、平坦な



メタルベース 1 1 上に多層配線構造膜 1 5 を設けているため、多層配線構造膜 1 5 の平坦性が良好である。また、本実施例の半導体装置は、半導体素子 1 6 がメタルベース 1 1 の開口部内に嵌入され、波打ちがなく平坦な多層配線構造膜 1 5 の最表面に接続されているため、多層配線構造膜 1 5 と半導体素子 1 6 との接続部が安定し信頼性が高い。更に、半導体素子 1 6 における多層配線構造膜 1 5 と接続されていない側の面（以下、半導体素子 1 6 の表面という）を、メタルベース 1 1 における多層配線構造膜 1 5 と接合されていない側の面（以下、メタルベース 1 1 の表面という）と同一面上に配置することにより、メタルベース 1 1 に、多層配線構造膜 1 5 の垂直方向の変位を拘束し座屈強度を向上させるスティフナとしての機能を持たせることができる。また、半導体素子 1 6 の表面とメタルベース 1 1 の表面とを同一面上に配置しない場合は、メタルベース 1 1 を多層配線構造膜 1 5 の変形を抑えるフレームとして使用できる。更に、メタルベース 1 1 は金属から構成されているため、最表層のグランドとしての機能を付加することもできる。

#### 【 0 0 3 2 】

次に、本発明の半導体パッケージ基板及び半導体装置の第 2 実施例について説明する。図 2 は、本実施例に係る半導体パッケージ基板を使用した半導体装置の構成を示す部分断面図である。本実施例に係る半導体パッケージ基板の特徴は、金属パッド 1 2 の表面に半田ボール 2 0 が設けられ、半田ボール 2 0 は多層配線構造膜 1 5 の表面から突出している点である。

#### 【 0 0 3 3 】

本第 2 実施例に係る半導体装置は半導体パッケージ基板 3 1 b に半導体素子 1 6 が実装されている。次に、この実装方法について説明する。まず、半導体素子 1 6 をメタルベース 1 1 の開口部内に配置された金属パッド 1 2 に半田ボール 2 0 を介してフリップチップ接続する。このとき、半導体素子 1 6 は半田ボール 1 8 を具備していなくてもよいが、もし半田ボール 1 8 を具備している場合は、半田ボール 1 8 及び半田ボール 2 0 を介して、半導体素子 1 6 を金属パッド 1 2 に接続する。次に、アンダーフィル 1 7 を半導体素子 1 6 と多層配線構造膜 1 5 との間の空間に流し込み、硬化させる。次いで、多層配線構造膜 1 5 における金属

パッド 2 9 に、B G A 用半田ボール 1 9 を装着する。上述の工程により図 2 に示す半導体装置が製造される。また、第 1 実施例と同様に、半導体素子 1 6 と多層配線構造膜 1 5 との接続は、ワイヤーボンディングにより接続してもよい。

#### 【 0 0 3 4 】

本第 2 実施例の半導体装置においては、半導体素子 1 6 を多層配線構造膜 1 5 にフリップチップ接続するときに、半田ボール 2 0 が半田又は予備半田として機能するため、フリップチップパッドの狭ピッチ化を図ることができる。また、半導体素子 1 6 は半田ボール 1 8 を具備している必要がなくなる。また、本実施例の半導体装置における半田ボール 2 0 以外の部分の構成は、第 1 実施例の半導体装置と同一である。

#### 【 0 0 3 5 】

次に、本発明の半導体パッケージ基板及び半導体装置の第 3 実施例について説明する。図 3 及び図 4 は、本実施例に係る半導体装置の構成を示す部分断面図である。本実施例の半導体パッケージ基板の特徴は、金属パッド 1 2 に薄膜コンデンサ 2 1 が取り付けられている点である。

#### 【 0 0 3 6 】

薄膜コンデンサ 2 1 はスパッタ法、蒸着法、C V D 又は陽極酸化法等により形成する。この薄膜コンデンサ 2 1 を構成する材料は、酸化チタン、酸化タンタル、 $A l_2 O_3$ 、 $S i O_2$ 、 $N b_2 O_5$ 、B S T ( $B a_x S r_{1-x} T i O_3$ )、P Z T ( $P b Z r_x T i_{1-x} O_3$ )、P L Z T ( $P b_{1-y} L a_y Z r_x T i_{1-x} O_3$ ) 又は  $S r B i_2 T a_2 O_9$  等のペロブスカイト系材料であることが好ましい。但し、前記化合物のいずれについても、 $0 \leq x \leq 1$ 、 $0 < y < 1$  である。また、薄膜コンデンサ 2 1 は、所望の誘電率を実現することができる有機樹脂等により構成されてもよい。

#### 【 0 0 3 7 】

本第 3 実施例の半導体装置は、金属パッド 1 2 に薄膜コンデンサ 2 1 を有するため、半導体素子 1 6 のごく近傍にデカップリングコンデンサを設けることができる。また、本実施例の半導体装置においては、図 4 に示すように、第 2 実施例と同様に金属パッド 1 2 の表面に半田ボール 2 0 を設けてもよい。また、第 1 実

施例及び第 2 実施例と同様に、半導体素子 1 6 と多層配線構造膜 1 5 との接続はワイヤーボンディングにより接続してもよい。本実施例の半導体装置における薄膜コンデンサ 2 1 以外の部分の構成は、第 1 実施例又は第 2 実施例の半導体装置と同一である。

#### 【 0 0 3 8 】

次に、本発明の半導体パッケージ基板及び半導体装置の第 4 実施例について説明する。図 5 は本第 4 実施例に係る半導体装置の構成を示す図であり、図 5 ( a ) は表面側からみた半導体装置の斜視図、図 5 ( b ) は裏面側からみた半導体装置の斜視図、図 5 ( c ) は部分断面図である。図 5 はプリント基板 2 4 をキャリア基材とした半導体装置の構成を示す。

#### 【 0 0 3 9 】

図 5 ( a ) 乃至 ( c ) に示すように、本第 4 実施例に係る半導体パッケージ基板 3 1 c の特徴は、図 1 乃至 4 に示した第 1 実施例、第 2 実施例及び第 3 実施例に係る半導体パッケージ基板 3 1 a 及び 3 1 b に、キャリア基材としてプリント基板 2 4 を設け、異方導電膜又は導電性ペースト 2 3 により導通させたことである。なお、キャリア基材には少なくとも一層以上からなるプリント基板、セラミック基板又は有機無機複合基板が適している。有機無機複合基板の例として、日本ガイシ株式会社製の G V P ( G r i d   V i a   P l a t e ) 等がある。

#### 【 0 0 4 0 】

キャリア基材の接合は、接着剤、熱圧着又は化学反応を利用した接着のいずれかにより行い、所望のパターンでの導通を異方導電膜又は導電性ペーストにより行う。図 5 ( a ) 乃至 ( c ) に示した例では、キャリア基材にはプリント基板 2 4 を使用し、プリント基板 2 4 のスルーホール 3 0 を使用して、プリント基板 2 4 を導電性ペースト 2 3 を介して多層配線構造膜 1 5 の金属パッド 2 9 に接続している。プリント基板 2 4 を金属パッド 2 9 に接続する方法は、スルーホール 3 0 を使用せずにプリント基板 2 4 の表面に接続用のパッドを設けて接続を行ってもよく、スルーホール 3 0 を絶縁樹脂で埋め込み、絶縁樹脂の表面に金属パッドを設けて接続を行ってもよい。また、スルーホール 3 0 を金属粒子を含んだペーストで埋め込んでもよい。更に、図 5 ( c ) に示す導電性ペースト 2 3 を封止す

る目的で、スルーホール 3 0 を導電性ペースト 2 3 の上からさらに絶縁樹脂等で埋め込んでもよい。

#### 【 0 0 4 1 】

本第 4 実施例に係る半導体装置は半導体パッケージ基板 3 1 c に半導体素子 1 6 が実装されて形成されている。この実装方法について説明する。図 5 に示すように、第 1 実施例、第 2 実施例又は第 3 実施例の半導体パッケージ基板 3 1 a 又は 3 1 b に、プリント基板 2 4 を所望の位置で導通がとれるように接着剤 2 2 により接合し、半導体パッケージ基板 3 1 c を形成する。この半導体パッケージ基板 3 1 c における金属パッド 1 2 に半導体素子 1 6 をフリップチップ接続する。このとき、金属パッド 1 2 の表面に半田ボール 2 0 が具備されている場合は半田ボール 2 0 により接続し、半田ボール 2 0 が具備されていない場合は半田ボール 1 8 により接続する。また、半田ボール 2 0 及び半田ボール 1 8 の双方を使用してもよい。次に、半導体素子 1 6 と多層配線構造膜 1 5 との間の空間にアンダーフィル 1 7 を流し込み硬化させる。次に、プリント基板 2 4 の表面のパッドに B G A 用半田ボール 1 9 を装着する。なお、第 1 実施例、第 2 実施例又は第 3 実施例と同様に、半導体素子 1 6 を多層配線構造膜 1 5 にワイヤーボンディングにより接続してもよい。

#### 【 0 0 4 2 】

このように構成された第 4 実施例の半導体装置においては、半導体パッケージ基板 3 1 c にキャリア基材としてプリント基板 2 4 を装着することによりグラウンド機能の強化を図ることができる。また、プリント基板 2 4 内に抵抗及びコンデンサ等の受動部品を内蔵することにより半導体パッケージ基板 3 1 c に容易に機能を付加させることができる。更に、プリント基板 2 4 を使用することにより二次実装時に発生する応力を緩和させることができ、半導体装置の信頼性を向上させることができる。

#### 【 0 0 4 3 】

次に、本発明の半導体パッケージ基板及び半導体装置の第 5 実施例について説明する。図 6 は本第 5 実施例に係る半導体装置の構成を示す部分断面図である。

#### 【 0 0 4 4 】

図 6 に示すように、本第 5 実施例に係る半導体パッケージ基板 3 1 e の特徴は、図 1 乃至 4 に示した第 1 実施例、第 2 実施例及び第 3 実施例に係る半導体パッケージ基板 3 1 a 及び 3 1 b に、キャリア基材としてプリント基板 2 4 a を設け、異方導電膜又は導電性ペースト 2 3 により導通させ、プリント基板 2 4 a のスルーホール 3 0 に接続ピン 2 5 を取り付けただことである。

#### 【 0 0 4 5 】

本実施例においても、前記第 4 実施例と同様に、キャリア基材の接合は、接着剤、熱圧着又は化学反応を利用した接着のいずれかにより行い、所望のパターンでの導通を異方導電膜又は導電性ペーストにより行う。また、図 6 に示した例では、キャリア基材にはプリント基板 2 4 a を使用し、プリント基板 2 4 a のスルーホール 3 0 を使用して接続ピン 2 5 を設け、接続ピン 2 5 を介して外部との接続を行っている。このとき、このプリント基板 2 4 a と金属パッド 2 9 との接続位置は、接続ピン 2 5 の直下でなくてもよい。

#### 【 0 0 4 6 】

本第 5 実施例に係る半導体装置は半導体パッケージ基板 3 1 d に半導体素子 1 6 が実装されて形成されている。この実装方法について説明する。図 6 に示すように、第 1 実施例、第 2 実施例又は第 3 実施例の半導体パッケージ基板 3 1 a 又は 3 1 b に、プリント基板 2 4 a を所望の位置で導通がとれるように接着剤 2 2 により接合し、半導体パッケージ基板 3 1 e を形成する。この半導体パッケージ基板 3 1 e における金属パッド 1 2 に半導体素子 1 6 をフリップチップ接続する。次に、半導体素子 1 6 と多層配線構造膜 1 5 との間の空間にアンダーフィル 1 7 を流し込み硬化させる。次に、プリント基板 2 4 a のスルーホール 3 0 に接続ピン 2 5 を装着する。なお、第 1 実施例、第 2 実施例又は第 3 実施例と同様に、半導体素子 1 6 を多層配線構造膜 1 5 にワイヤーボンディングにより接続してもよい。

#### 【 0 0 4 7 】

このように構成された第 5 実施例の半導体装置においては、第 4 実施例の半導体装置と同様に、半導体パッケージ基板 3 1 e にキャリア基材としてプリント基板 2 4 a を装着することによりグランド機能の強化が図ることができる。また、

プリント基板 2 4 a 内に抵抗及びコンデンサ等の受動部品を内蔵することにより半導体パッケージ基板 3 1 e に容易に機能を付加させることができる。更に、プリント基板 2 4 a を使用することにより二次実装時に発生する応力を緩和させることができ、半導体装置の信頼性を向上させることができる。更に、プリント基板 2 4 a のスルーホールを利用することにより、強固に取り付けられた接続ピン 2 5 を得ることができる。

## 【 0 0 4 8 】

次に、本発明の半導体パッケージ基板及び半導体装置の第 6 実施例について説明する。図 7 は本第 6 実施例に係る半導体装置の構成を示す部分断面図である。

## 【 0 0 4 9 】

図 7 に示すように、本第 6 実施例に係る半導体パッケージ基板 3 1 d の特徴は、図 1 乃至 4 に示した第 1 実施例、第 2 実施例及び第 3 実施例に係る半導体パッケージ基板 3 1 a 及び 3 1 b に、キャリア基材としてセラミック基板 2 6 を設けたことである。

## 【 0 0 5 0 】

本第 6 実施例に係る半導体装置は半導体パッケージ基板 3 1 d に半導体素子 1 6 が実装されて形成されている。この実装方法について説明する。図 7 に示すように、第 1 実施例、第 2 実施例又は第 3 実施例の半導体パッケージ基板 3 1 a 又は 3 1 b に、セラミック基板 2 6 を所望の位置で導通がとれるように接着剤 2 2 により接合し、半導体パッケージ基板 3 1 d を形成する。この半導体パッケージ基板 3 1 d における金属パッド 1 2 に半導体素子 1 6 をフリップチップ接続する。次に、半導体素子 1 6 と多層配線構造膜 1 5 との間の空間にアンダーフィル 1 7 を流し込み硬化させる。次に、セラミック基板 2 6 の表面のパッドに BGA 用半田ボール 1 9 を装着する。このとき、BGA 用半田ボール 1 9 の位置はビアの直上でもよい。なお、第 1 実施例、第 2 実施例又は第 3 実施例と同様に、半導体素子 1 6 を多層配線構造膜 1 5 にワイヤーボンディングにより接続してもよい。

## 【 0 0 5 1 】

このように構成された第 6 実施例の半導体装置においては、半導体パッケージ基板 3 1 d にキャリア基材としてセラミック基板 2 6 を装着することによりグラ

ンド機能の強化を図ることができる。また、セラミック基板 2 6 内に抵抗及びコンデンサ等の受動部品を内蔵することにより半導体パッケージ基板 3 1 d に容易に機能を付加させることができる。更に、セラミック基板 2 6 を使用することにより二次実装時に発生する応力を緩和させることができ、半導体装置の信頼性を向上させることができる。

#### 【 0 0 5 2 】

以下、本発明に係る半導体装置の製造方法の実施例について説明する。図 8 ( a ) 乃至 ( e ) 及び図 9 ( a ) 乃至 ( d ) は、本発明方法の第 1 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。本実施例方法は、本発明の半導体装置の第 1 実施例 ( 図 1 ) に係る半導体装置を製造するためのものである。なお、各工程間において適宜洗浄及び熱処理を行う。

#### 【 0 0 5 3 】

先ず、図 8 ( a ) に示すように、厚さ 0 . 1 乃至 1 . 5 m m の金属板であるメタルベース 1 1 の表面にめっきレジスト 2 7 を形成する。形成する方法は、めっきレジスト 2 7 が液状ならばスピンコート法、ダイコート法、カーテンコート法又は印刷法等で積層し、めっきレジスト 2 7 がドライフィルムであればラミネート法等で積層した後、乾燥等の処理を施して固め、めっきレジスト 2 7 が感光性であればフォトリソプロセス等により、また、非感光性であればレーザー加工法等によりパターニングする。

#### 【 0 0 5 4 】

次に、図 8 ( b ) に示すように、めっきレジスト 2 7 の開口部に電解めっき法又は無電解めっき法により、金、錫及び半田からなる群より選択された少なくとも 1 種の金属又はその合金を析出させ、第 1 の金属パッド 1 2 の表層部を形成する。次に、バリアメタル ( 図示せず ) としてニッケルを析出し、更に銅を析出させて第 1 の金属パッド 1 2 を形成する。このとき、メタルベース 1 1 を構成する金属と金属パッド 1 2 の表層部を形成する金属との間で金属間化合物が形成される場合は、金属パッド 1 2 の表層部を形成する前にニッケル等のバリアメタルを析出させる。このバリアメタルはエッチングにより除去できる金属であることが好ましい。また、図 9 に示す後の工程において金属パッド 1 2 の表面を多層配線

構造膜 15 の表面よりも窪ませる場合は、先に、ニッケル等のエッチング可能な金属を所定の厚さに析出させてから、金属パッド 12 の表層部を構成する金属を析出させ、バリアメタルとしてニッケルを析出し、更に銅を析出させて金属パッド 12 を形成する。

【0055】

次に、図 8 (c) に示すように、めっきレジスト 27 を除去した後、表面を清浄化する。

【0056】

次に、図 8 (d) に示すように、絶縁層 13 を形成する。絶縁層 13 を形成する方法は、絶縁層 13 を構成する絶縁樹脂が液状ならば、スピコート法、ダイコート法、カーテンコート法又は印刷法等により絶縁樹脂を積層し、また、絶縁樹脂がドライフィルムであればラミネート法等により絶縁樹脂を積層した後、乾燥等の処理を施して前記絶縁樹脂を固める。そして、前記絶縁樹脂が感光性であればフォトリソプロセス等により、また、前記絶縁樹脂が非感光性であればレーザ加工法等により、前記絶縁樹脂をパターニングしてビアホール 34 を形成し、キュアを行って絶縁樹脂を硬化させて絶縁層 13 を形成する。

【0057】

次に、図 8 (e) に示すように、配線パターンをサブトラクティブ法、セミアディティブ法又はフルアディティブ法等により形成し、配線層 14 を形成する。このとき、ビアホール 34 を導電物質により埋め込み、配線層 14 を金属パッド 12 に接続する。

【0058】

次に、図 9 (a) に示すように、サブトラクティブ法、セミアディティブ法又はフルアディティブ法等による絶縁層 13 の形成工程及び配線層 14 の形成工程を繰り返して、多層配線構造膜 15 を形成する。

【0059】

次に、図 9 (b) に示すように、多層配線構造膜 15 の裏面及びメタルベース 11 の表面に、エッチングレジスト 28 を形成する。エッチングレジスト 28 を形成する方法は、エッチングレジスト 28 が液状ならばスピコート法、ダイコ



ート法、カーテンコート法又は印刷法等によりエッチングレジスト 2 8 を積層し、エッチングレジスト 2 8 がドライフィルムであればラミネート法等でエッチングレジスト 2 8 を積層した後、乾燥等の処理を施してエッチングレジスト 2 8 を固め、エッチングレジスト 2 8 が感光性であればフォトリソプロセス等により、エッチングレジスト 2 8 が非感光性であればレーザ加工法等によりエッチングレジスト 2 8 をパターニングする。その後、このエッチングレジスト 2 8 をマスクとして、メタルベース 1 1 を多層配線構造膜 1 5 が露出するまでエッチングして凹部 3 2 を形成する。

#### 【 0 0 6 0 】

次に、図 9 (c) に示すように、エッチングレジスト 2 8 を除去し、金属パッド 1 2 の表面及び金属パッド 2 9 の表面を清浄化し、半導体パッケージ基板 3 1 a を形成する。

#### 【 0 0 6 1 】

次に、図 9 (d) に示すように、半導体素子 1 6 を金属パッド 1 2 に半田ボール 1 8 を介してフリップチップ接続し、多層配線構造膜 1 5 と半導体素子 1 6 との間の空間にアンダーフィル 1 7 を流し込んで硬化させる。

#### 【 0 0 6 2 】

次いで、金属パッド 2 9 に B G A 用半田ボール 1 9 を装着し、図 9 (d) に示すような半導体装置を形成する。

#### 【 0 0 6 3 】

この半導体装置は、本発明装置の第 1 実施例に係る半導体装置と同じものであり、上述の製造方法によれば、この半導体装置を効率よく製造することができる。また、本実施例に係る製造方法によれば、平坦なメタルベース 1 1 を基板として多層配線構造膜 1 5 を積層するため、多層配線構造膜 1 5 の平坦性を向上させることができる。特に、半導体素子 1 6 を接続する多層配線構造膜 1 5 の表面の平坦性を向上させることができる。

#### 【 0 0 6 4 】

次に、本発明方法の第 2 実施例について説明する。本第 2 実施例方法は、本発明装置の第 2 実施例に係る半導体装置 (図 2) を製造するためのものである。本

実施例方法の特徴は、第 1 実施例方法に加えて、金属パッド 1 2 の表面に半田ボール 2 0 を形成し、この半田ボール 2 0 を多層配線構造膜 1 5 の表面より突出させる工程を有する点である。図 1 0 (a) 乃至 (f) 及び図 1 1 (a) 乃至 (d) は、本実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。なお、各工程間において適宜洗浄及び熱処理を行う。

## 【 0 0 6 5 】

先ず、図 1 0 (a) に示すように、厚さ 0. 1 乃至 1. 5 mm の金属板であるメタルベース 1 1 の表面にめっきレジスト 2 7 を形成する。めっきレジスト 2 7 を形成する方法は、めっきレジスト 2 7 が液状ならばスピコート法、ダイコート法、カーテンコート法又は印刷法等によりめっきレジスト 2 7 を積層し、めっきレジスト 2 7 がドライフィルムであればラミネート法等によりめっきレジスト 2 7 を積層した後、乾燥等の処理を施してめっきレジスト 2 7 を固め、めっきレジスト 2 7 が感光性であればフォトリソプロセス等により、めっきレジスト 2 7 が非感光性であればレーザ加工法等によりめっきレジスト 2 7 をパターンニングする。

## 【 0 0 6 6 】

次いで、図 1 0 (b) に示すように、めっきレジスト 2 7 をマスクとしてメタルベース 1 1 にハーフエッチングを施し、半田ボール 2 0 及び金属パッド 1 2 を形成するための凹部 3 3 を形成する。

## 【 0 0 6 7 】

次に、図 1 0 (c) に示すように、めっきレジスト 2 7 の開口部に電解めっき法又は無電解めっき法により半田ボール 2 0 を形成し、バリアメタル（図示せず）としてニッケルを析出させ、更に銅を析出させて金属パッド 1 2 を形成する。このとき、メタルベース 1 1 を構成する金属と半田ボール 2 0 との間で金属間化合物が形成される場合は、半田ボール 2 0 を形成するよりも先にニッケル等のバリアメタルを析出させる。このバリアメタルはエッチングにより除去できる金属であることが好ましい。

## 【 0 0 6 8 】

次に、図 1 0 (d) に示すように、めっきレジスト 2 7 を除去した後、メタル

ベース 11 及び金属パッド 12 の表面を清浄化する。

【0069】

次に、図 10 (e) に示すように、絶縁層 13 を形成する。絶縁層 13 を形成する方法は、絶縁層 13 を構成する絶縁樹脂が液状ならば、スピコート法、ダイコート法、カーテンコート法又は印刷法等により絶縁樹脂を積層し、また、絶縁樹脂がドライフィルムであればラミネート法等により絶縁樹脂を積層した後、乾燥等の処理を施して前記絶縁樹脂を固める。そして、前記絶縁樹脂が感光性であればフォトリソプロセス等により、また、前記絶縁樹脂が非感光性であればレーザー加工法等により、前記絶縁樹脂をパターニングしてビアホール 34 を形成し、キュアを行って絶縁樹脂を硬化させて絶縁層 13 を形成する。このとき、キュア温度は半田ボール 20 の融点以下の温度とする。

【0070】

次に、図 10 (f) に示すように、配線パターンをサブトラクティブ法、セミアディティブ法又はフルアディティブ法等により形成し、配線層 14 を形成する。このとき、ビアホール 34 を導電物質により埋め込み、配線層 14 を金属パッド 12 に接続する。

【0071】

次に、図 11 (a) に示すように、サブトラクティブ法、セミアディティブ法又はフルアディティブ法等による絶縁層 13 の形成工程及び配線層 14 の形成工程を繰り返して、多層配線構造膜 15 を形成する。

【0072】

次に、図 11 (b) に示すように、多層配線構造膜 15 の裏面及びメタルベース 11 の表面に、エッチングレジスト 28 を形成する。エッチングレジスト 28 を形成する方法は、エッチングレジスト 28 が液状ならばスピコート法、ダイコート法、カーテンコート法又は印刷法等によりエッチングレジスト 28 を積層し、エッチングレジスト 28 がドライフィルムであればラミネート法等によりエッチングレジスト 28 を積層した後、乾燥等の処理を施してエッチングレジスト 28 を固め、エッチングレジスト 28 が感光性であればフォトリソプロセス等により、エッチングレジスト 28 が非感光性であればレーザー加工法等によりエッチ

ングレジスト 28 をパターニングする。その後、このエッチングレジスト 28 をマスクとして、メタルベース 11 を多層配線構造膜 15 が露出するまでエッチングし、凹部 32 を形成する。

【0073】

次に、図 11 (c) に示すように、エッチングレジスト 28 を除去し、金属パッド 12 の表面及び金属パッド 29 の表面を清浄化して、半導体パッケージ基板 31b を形成する。

【0074】

次いで、図 11 (d) に示すように、半導体素子 16 を金属パッド 12 に、半田ボール 20 を介するか又は半田ボール 20 を予備半田として使用し半田ボール 18 を介してフリップチップ接続し、多層配線構造膜 15 と半導体素子 16 との間の空間にアンダーフィル 17 を流し込んで硬化させる。

【0075】

次いで、金属パッド 29 に BGA 用半田ボール 19 を装着し、図 11 (d) に示すような半導体装置を形成する。

【0076】

本第 2 実施例方法によれば、本発明装置の第 2 実施例に示した金属パッド 12 の表面に半田ボール 20 を具備する半導体装置を効率よく製造することができる。この半導体装置においては、半導体素子 16 を多層配線構造膜 15 にフリップチップ接続するとき、半田ボール 20 が半田又は予備半田として機能するため、フリップチップパッドの狭ピッチ化を図ることができる。また、半導体素子 16 は半田ボール 18 を具備する必要がなくなる。

【0077】

次に、本発明方法の第 3 実施例について説明する。図 12 (a) 乃至 (f) 及び図 13 (a) 乃至 (d) は、この第 3 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。なお、各工程間において適宜洗浄及び熱処理を行う。この第 3 実施例方法は、本発明装置の第 1 実施例に係る半導体装置を製造するためのものである。本第 3 実施例方法は、第 1 実施例方法と比較して、メタルベース 11 に予め半導体搭載用の凹部を形成する点に特徴がある。

## 【 0 0 7 8 】

先ず、図 1 2 ( a ) に示すように、厚さ 0 . 1 乃至 1 . 5 mm の金属板であるメタルベース 1 1 の表面に、エッチング又はドリル等による切削加工により半導体素子搭載用凹部 3 2 を形成する。又は、メタルベース 1 1 を半導体素子搭載部が開口している金属板と平滑な金属板を張り合わせるにより形成してもよい。

## 【 0 0 7 9 】

次に、図 1 2 ( b ) に示すように、メタルベース 1 1 の裏面にめっきレジスト 2 7 を形成する。めっきレジスト 2 7 を形成する方法は、めっきレジスト 2 7 が液状ならばスピコート法、ダイコート法、カーテンコート法又は印刷法等により積層し、めっきレジスト 2 7 がドライフィルムであればラミネート法等でめっきレジスト 2 7 を積層した後、乾燥等の処理を施してめっきレジスト 2 7 を固め、めっきレジスト 2 7 が感光性であればフォトリソプロセス等により、めっきレジスト 2 7 が非感光性であればレーザ加工法等によりめっきレジスト 2 7 をパターンニングする。

## 【 0 0 8 0 】

次に、図 1 2 ( c ) に示すように、めっきレジスト 2 7 の開口部に電解めっき法又は無電解めっき法により、金、錫及び半田からなる群より選択された少なくとも 1 種の金属又はその合金を析出させ、金属パッド 1 2 の表層部を形成する。次に、バリアメタル（図示せず）としてニッケルを析出し、更に銅を析出させて金属パッド 1 2 を形成する。このとき、メタルベース 1 1 を構成する金属と金属パッド 1 2 の表層部を形成する金属との間で金属間化合物が形成される場合は、金属パッド 1 2 を形成する前にニッケル等のバリアメタルを析出させる。このバリアメタルはエッチングにより除去できる金属であることが好ましい。また、図 1 3 に示す後の工程において金属パッド 1 2 の表面を多層配線構造膜 1 5 の表面よりも窪ませる場合は、先に、ニッケル等のエッチング可能な金属を所定の厚さに析出させてから、金属パッド 1 2 の表層部を形成する金属を析出させ、バリアメタルとしてニッケルを析出させ、更に銅を析出させて金属パッド 1 2 を形成する。

## 【0081】

次に、図12(d)に示すように、めっきレジスト27を除去した後、メタルベース11及び金属パッド12の表面を清浄化する。

## 【0082】

次に、図12(e)に示すように、絶縁層13を形成する。絶縁層13を形成する方法は、絶縁層13を構成する絶縁樹脂が液状ならば、スピンコート法、ダイコート法、カーテンコート法又は印刷法等により絶縁樹脂を積層し、また、絶縁樹脂がドライフィルムであればラミネート法等により絶縁樹脂を積層した後、乾燥等の処理を施して前記絶縁樹脂を固める。そして、前記絶縁樹脂が感光性であればフォトリソプロセス等により、また、前記絶縁樹脂が非感光性であればレーザー加工法等により、前記絶縁樹脂をパターニングしてビアホール34を形成し、キュアを行って絶縁樹脂を硬化させて絶縁層13を形成する。

## 【0083】

次に、図12(f)に示すように、配線パターンをサブトラクティブ法、セミアディティブ法又はフルアディティブ法等により形成し、配線層14を形成する。このとき、ビアホール34を導電物質により埋め込み、配線層14を金属パッド12に接続する。

## 【0084】

次に、図13(a)に示すように、サブトラクティブ法、セミアディティブ法又はフルアディティブ法等による絶縁層13の形成工程及び配線層14の形成工程を繰り返して、多層配線構造膜15を形成する。

## 【0085】

次に、図13(b)に示すように、多層配線構造膜15の裏面及びメタルベース11の表面にエッチングレジスト28を形成しパターニングする。その後、このエッチングレジスト28をマスクとして、メタルベース11を多層配線構造膜15が露出するまでエッチングする。また、半導体素子搭載用凹部32におけるメタルベース11の厚さがある程度薄いときは、メタルベース11の表面にエッチングレジスト28を形成することなくエッチングを行うことも可能である。

## 【0086】

次いで、図13(c)に示すように、エッチングレジスト28を除去し、金属パッド12の表面及び金属パッド29の表面を清浄化し、半導体パッケージ基板31aを形成する。

【0087】

次に、図13(d)に示すように、半導体素子16を金属パッド12に半田ボール18を介してフリップチップ接続し、多層配線構造膜15と半導体素子16との間の空間にアンダーフィル17を流し込んで硬化させる。次いで、金属パッド29にBGA用半田ボール19を装着し、図13(d)に示すような半導体装置を形成する。

【0088】

この半導体装置は、本発明装置の第1実施例に係る半導体装置、即ち第1実施例方法により製造される半導体装置と構成が同じである。本第3実施例方法は、メタルベース11に予め半導体搭載用凹部を形成することにより、図13(b)で示したメタルベース11をエッチングする工程においてエッチング時間を短縮することができ、また、半導体素子搭載用の開口部の形状が均一となるという利点を有している。

【0089】

次に、本発明方法の第4実施例について説明する。本第4実施例の製造方法は、第2実施例方法と第3実施例方法とを組み合わせたものであり、両方の利点を有している。図14(a)乃至(f)及び図15(a)乃至(d)は、本第4実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。なお、各工程間において適宜洗浄及び熱処理を行う。

【0090】

先ず、第3実施例方法に示した方法により、厚さ0.1乃至1.5mmの金属板であるメタルベース11の表面に半導体素子搭載用の凹部32を形成する。次に、図14(a)に示すように、メタルベース11の裏面にめっきレジスト27を形成する。めっきレジスト27を形成する方法は、めっきレジスト27が液状ならばスピンコート法、ダイコート法、カーテンコート法又は印刷法等でめっきレジスト27を積層し、また、めっきレジスト27がドライフィルムであればラ

ミネート法等でめっきレジスト 2 7 を積層した後、乾燥等の処理を施してめっきレジスト 2 7 を固め、めっきレジスト 2 7 が感光性であればフォトリソプロセス等により、また、めっきレジスト 2 7 が非感光性であればレーザ加工法等によりめっきレジスト 2 7 をパターンニングする。

## 【 0 0 9 1 】

次に、図 1 4 ( b ) に示すように、めっきレジスト 2 7 をマスクとしてメタルベース 1 1 にハーフエッチングを施し、半田ボール 2 0 及び金属パッド 1 2 を形成するための凹部 3 3 を形成する。なお、本第 4 実施例方法においては、メタルベース 1 1 に半導体素子搭載用の凹部 3 2 を形成してから半田ボール 2 0 及び金属パッド 1 2 用の凹部 3 3 を形成しているが、先に凹部 3 3 を形成してから凹部 3 2 を形成してもよく、可能であれば同時に形成してもよい。

## 【 0 0 9 2 】

次に、図 1 4 ( c ) に示すように、めっきレジスト 2 7 の開口部に電解めっき法又は無電解めっき法により半田ボール 2 0 を形成し、バリアメタル（図示せず）としてニッケルを析出させ、更に銅を析出させて金属パッド 1 2 を形成する。このとき、メタルベース 1 1 を構成する金属と半田ボール 2 0 との間で金属間化合物が形成される場合は、半田ボール 2 0 を形成する前にニッケル等のバリアメタルを先に析出させる。このバリアメタルはエッチングにより除去できる金属であることが好ましい。

## 【 0 0 9 3 】

次に、図 1 4 ( d ) に示すように、めっきレジスト 2 7 を除去した後、メタルベース 1 1 及び金属パッド 1 2 の表面を清浄化する。

## 【 0 0 9 4 】

次に、図 1 4 ( e ) に示すように、絶縁層 1 3 を形成する。絶縁層 1 3 を形成する方法は、絶縁層 1 3 を構成する絶縁樹脂が液状ならば、スピコート法、ダイコート法、カーテンコート法又は印刷法等により絶縁樹脂を積層し、また、絶縁樹脂がドライフィルムであればラミネート法等により絶縁樹脂を積層した後、乾燥等の処理を施して前記絶縁樹脂を固める。そして、前記絶縁樹脂が感光性であればフォトリソプロセス等により、また、前記絶縁樹脂が非感光性であればレ



ーザ加工法等により、前記絶縁樹脂をパターニングしてビアホール34を形成し、キュアを行って絶縁樹脂を硬化させて絶縁層13を形成する。このとき、キュア温度は半田ボール20の融点以下の温度とする。

## 【0095】

次に、図14(f)に示すように、配線パターンをサブトラクティブ法、セミアディティブ法又はフルアディティブ法等により形成し、配線層14を形成する。このとき、ビアホール34を導電物質により埋め込み、配線層14を金属パッド12に接続する。

## 【0096】

次に、図15(a)に示すように、サブトラクティブ法、セミアディティブ法又はフルアディティブ法等による絶縁層13の形成工程及び配線層14の形成工程を繰り返して、多層配線構造膜15を形成する。

## 【0097】

次に、図15(b)に示すように、多層配線構造膜15の裏面及びメタルベース11の表面に、エッチングレジスト28を形成しパターニングする。その後、このエッチングレジスト28をマスクとして、メタルベース11を多層配線構造膜15が露出するまでエッチングする。また、半導体素子搭載用凹部32におけるメタルベース11の厚さがある程度薄いときは、メタルベース11の表面にエッチングレジスト28を形成することなくエッチングを行うことも可能である。

## 【0098】

次いで、図15(c)に示すように、エッチングレジスト28を除去し、金属パッド12の表面及び金属パッド29の表面を清浄化し、半導体パッケージ基板31bを形成する。

## 【0099】

次いで、図15(d)に示すように、半導体素子16を金属パッド12に、半田ボール20を介するか又は半田ボール20を予備半田として使用し半田ボール18を介してフリップチップ接続し、多層配線構造膜15と半導体素子16との間の空間にアンダーフィル17を流し込んで硬化させる。

## 【0100】

次いで、金属パッド29にBGA用半田ボール19を装着し、図15(d)に示すような半導体装置を形成する。

#### 【0101】

この半導体装置は、本発明装置の第2実施例に係る半導体装置、即ち第2実施例方法により製造された半導体装置と構成が同じである。本実施例に係る製造方法によれば、メタルベース11に予め半導体搭載用の凹部32を形成することにより、メタルベース11をエッチングする時間を短縮することができ、半導体搭載用の開口部の形状を均一にすることができる。また、金属パッド12の表面に半田ボール20を具備しているため、半導体素子16を多層配線構造膜15にフリップチップ接続するとき、半田ボール20が半田又は予備半田として機能するため、フリップチップパッドの狭ピッチ化を図ることができる。また、半導体素子16は半田ボール18を具備する必要がなくなる。

#### 【0102】

次に、本発明方法の第5実施例について説明する。本第5実施例方法は、本発明装置の第3実施例に係る半導体装置、即ち、金属パッド12と配線層14との間に薄膜コンデンサ21が形成されている半導体装置を製造するためのものである。図16(a)及び(b)は、本第5実施例方法に係る半導体装置の製造方法を工程順に示す部分断面図である。なお、各工程間において適宜洗浄及び熱処理を行う。

#### 【0103】

先ず、図8(a)乃至(c)に示す工程により、図16(a)に示すように、表面に金属パッド12が形成されたメタルベース11を得る。即ち、図8(a)に示すように、厚さ0.1乃至1.5mmの金属板であるメタルベース11の表面にめっきレジスト27を形成する。

#### 【0104】

次に、図8(b)に示すように、めっきレジスト27の開口部に電解めっき法又は無電解めっき法により、金、錫及び半田からなる群より選択された少なくとも1種の金属又はその合金を析出させ、バリアメタルとしてニッケルを析出し、更に銅を析出させて金属パッド12を形成する。

## 【0105】

次に、図8(c)に示すように、めっきレジスト27を除去した後、メタルベース11及び金属パッド12の表面を清浄化し、図16(a)に示すような構造を得る。

## 【0106】

また、このとき、図8(a)乃至(c)に示す工程により表面に金属パッド12が形成されたメタルベース11を得る替わりに、図10(a)乃至(d)に示す工程により金属パッド12及び半田ボール20を具備するメタルベース11を得てもよく、図12(a)乃至(d)に示す工程により裏面に金属パッド12を具備し表面に半導体搭載用の凹部32が形成されたメタルベース11を得てもよい。更に、図14(a)乃至(d)に示す工程により金属パッド12及び半田ボール20を具備し半導体搭載用の凹部32が形成されたメタルベース11を得てもよい。但し、メタルベース11が半田ボール20を具備する場合は、後述する薄膜コンデンサ21を形成するときの温度は半田ボール20の融点以下でなければならない。

## 【0107】

図16(a)に示すような表面に金属パッド12が形成されたメタルベース11を得た後、図16(b)に示すように、レジスト(図示せず)をマスクとして所望の金属パッド12の表面のみを露出させ、スパッタ法、蒸着法、CVD又は陽極酸化法等により薄膜コンデンサ21を形成する。この薄膜コンデンサ21の誘電体層を構成する材料は、酸化チタン、酸化タンタル、 $Al_2O_3$ 、 $SiO_2$ 、 $Nb_2O_5$ 、BST( $Ba_xSr_{1-x}TiO_3$ )、PZT( $PbZr_xTi_{1-x}O_3$ )、PLZT( $Pb_{1-y}La_yZr_xTi_{1-x}O_3$ )又は $SrBi_2Ta_2O_9$ 等のペロブスカイト系材料であることが好ましい。但し、前記化合物のいずれについても、 $0 \leq x \leq 1$ 、 $0 < y < 1$ である。また、薄膜コンデンサ21は、所望の誘電率を実現することができる有機樹脂等により構成されてもよい。

## 【0108】

次に、レジストを除去するリフトオフ法により、不要部分の誘電体等を除去する。このとき、メタルマスク等により所望の位置に薄膜コンデンサ21が形成さ

れてもよい。

【0 1 0 9】

以後の工程は、図 8 (d)、(e) 及び図 9 (a) 乃至 (d) に示す工程と同じである。即ち、図 8 (d) に示すように、絶縁層 1 3 を形成し、図 8 (e) に示すように、配線パターンを形成し配線層 1 4 を形成する。

【0 1 1 0】

次に、図 9 (a) に示すように、絶縁層形成工程及び配線層形成工程を繰り返して、多層配線構造膜 1 5 を形成する。

【0 1 1 1】

次に、図 9 (b) に示すように、多層配線構造膜 1 5 の裏面及びメタルベース 1 1 の表面にエッチングレジスト 2 8 を形成する。その後、このエッチングレジスト 2 8 をマスクとして、メタルベース 1 1 を多層配線構造膜 1 5 が露出するまでエッチングする。

【0 1 1 2】

次に、図 9 (c) に示すように、エッチングレジスト 2 8 を除去し、金属パッド 1 2 の表面及び金属パッド 2 9 の表面を清浄化し、半導体パッケージ基板 3 1 a を形成する。

【0 1 1 3】

次に、図 9 (d) に示すように、半導体素子 1 6 を金属パッド 1 2 に半田ボール 1 8 を介してフリップチップ接続し、多層配線構造膜 1 5 と半導体素子 1 6 との間の空間にアンダーフィル 1 7 を流し込んで硬化させる。次いで、金属パッド 2 9 に BGA 用半田ボール 1 9 を装着する。以上の工程により、図 3 に示すように、金属パッド 1 2 と絶縁層 1 3 との間に薄膜コンデンサ 2 1 を有する半導体装置を製造することができる。

【0 1 1 4】

また、図 8 (a) 乃至 (c) に示す工程により得られた表面に金属パッド 1 2 が形成されたメタルベース 1 1 を使用する替わりに、図 1 0 (a) 乃至 (d) に示す工程により得られた金属パッド 1 2 及び半田ボール 2 0 を具備するメタルベース 1 1 を使用する場合は、薄膜コンデンサ 2 1 を形成した後、図 1 0 (e)、

(f) 及び図 1 1 (a) 乃至 (d) に示す工程により、図 4 に示すような半導体装置を製造することができる。更に、図 1 2 (a) 乃至 (d) に示す工程により得られた表面に金属パッド 1 2 を具備し半導体搭載用の凹部 3 2 が形成されたメタルベース 1 1 を使用する場合は、薄膜コンデンサ 2 1 を形成した後、図 1 2 (e)、(f) 及び図 1 3 (a) 乃至 (d) に示す工程により、図 3 に示すような半導体装置を製造することができる。更にまた、図 1 4 (a) 乃至 (d) に示す工程により得られた金属パッド 1 2 及び半田ボール 2 0 を具備し半導体搭載用の凹部 3 2 が形成されたメタルベース 1 1 を使用する場合は、薄膜コンデンサ 2 1 を形成した後、図 1 4 (e)、(f) 及び図 1 5 (a) 乃至 (d) に示す工程により、図 4 に示すような半導体装置を製造することができる。

#### 【0 1 1 5】

本実施例の製造方法により、1 個以上の金属パッド 1 2 と配線層 1 4 との間に薄膜コンデンサ 2 1 を形成し、半導体素子 1 6 のごく近傍にデカップリングコンデンサを有した半導体装置を製造することができる。

#### 【0 1 1 6】

次に、本発明方法の第 6 実施例について説明する。本第 6 実施例方法は、本発明装置の第 4 実施例に係る半導体装置、即ち、キャリア基材としてプリント基板 2 4 を接合した半導体装置を製造するためのものである。図 1 7 (a) 乃至 (d) 及び図 1 8 (a) 乃至 (c) は、本第 6 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。なお、各工程間において適宜洗浄及び熱処理を行う。

#### 【0 1 1 7】

先ず、図 8 (a) 乃至 (e) 及び図 9 (a) に示す工程により、図 9 (a) に示すようなメタルベース 1 1 上に多層配線構造膜 1 5 を積層した積層体（以下、積層体という）を得る。

#### 【0 1 1 8】

また、このとき、図 9 (a) に示すようなメタルベース 1 1 上に多層配線構造膜 1 5 を積層した積層体を使用する替わりに、第 2 実施例方法における図 1 1 (a) に示すような積層体に半田ボール 2 0 が設けられたものを使用してもよく、

第3実施例方法における図13(a)に示すような積層体に半導体素子搭載用の凹部32が設けられたものを使用してもよい。また、第4実施例方法における図15(a)に示すような積層体に半田ボール20及び半導体素子搭載用の凹部32が設けられたものを使用してもよく、第5実施例方法で形成された積層体に薄膜コンデンサ21が設けられたものを使用することもできる。

#### 【0119】

次に、図17(a)に示すように、多層配線構造膜15の表面を清浄化し、図17(b)に示すように、多層配線構造膜15の裏面における金属パッド29を除く領域に接着剤22を塗布する。接着剤22を所望の領域に塗布する方法としては、印刷法及び例えば金属パッド29等のような接着剤22を塗布しない領域にマスキングを施して接着剤22を塗布した後、マスキングを取り除く方法等がある。また、接着剤22が感光性を有している場合は、フォトリソプロセスにより接着剤22をパターンニングする方法でもよい。

#### 【0120】

次に、図17(c)に示すように、キャリア基材であるプリント基板24を、プリント基板24のスルーホール30に多層配線構造膜15の金属パッド29が整合するように多層配線構造膜15の裏面に接合する。また、図17(b)では、多層配線構造膜15の裏面に接着剤22を塗布する例が示されているが、プリント基板24に接着剤22を塗布して接合を行ってもよい。

#### 【0121】

次に、図17(d)に示すように、プリント基板24のスルーホール30内に、導電性ペースト23を充填し、加熱を施して固める。導電性ペースト23が以後の工程で漏れ及び変形を起こす可能性がある場合は、スルーホール30に更に絶縁樹脂を充填して硬化させることが好ましい。

#### 【0122】

次に、図18(a)に示すように、プリント基板24の表面、スルーホール30の内部及びメタルベース11の表面に、エッチングレジスト28を形成する。エッチングレジスト28を形成する方法は、エッチングレジスト28が液状ならばスピコート法、ダイコート法、カーテンコート法又は印刷法等でエッチング

レジスト 2 8 を積層し、エッチングレジスト 2 8 がドライフィルムであればラミネート法等でエッチングレジスト 2 8 を積層した後、乾燥等の処理を施してエッチングレジスト 2 8 を固め、エッチングレジスト 2 8 が感光性であればフォトリソプロセス等により、エッチングレジスト 2 8 が非感光性であればレーザ加工法等によりエッチングレジスト 2 8 をパターンニングする。その後、このエッチングレジスト 2 8 をマスクとして、メタルベース 1 1 を多層配線構造膜 1 5 が露出するまでエッチングする。このとき、予めメタルベース 1 1 に半導体素子搭載用の凹部 3 2 が設けられており、凹部 3 2 におけるメタルベース 1 1 の厚さがある程度薄い場合は、メタルベース 1 1 の表面にエッチングレジスト 2 8 を形成することなく、エッチングを行うことも可能である。

## 【 0 1 2 3 】

次いで、図 1 8 ( b ) に示すように、エッチングレジスト 2 8 を除去し、金属パッド 1 2 の表面及びプリント基板 2 4 の金属パッドの表面を清浄化し、半導体パッケージ基板 3 1 c を形成する。

## 【 0 1 2 4 】

次に、図 1 8 ( c ) に示すように、半導体素子 1 6 を金属パッド 1 2 に半田ボール 1 8 を介してフリップチップ接続する。また、金属パッド 1 2 の表面に半田ボール 2 0 が形成されている場合は、半田ボール 2 0 を介するか、又は半田ボール 2 0 を予備半田として使用し半田ボール 1 8 を介してフリップチップ接続する。その後、多層配線構造膜 1 5 と半導体素子 1 6 との間の空間にアンダーフィル 1 7 を流し込んで硬化させる。次いで、プリント基板 2 4 の金属パッドに B G A 用半田ボール 1 9 を装着する。

## 【 0 1 2 5 】

また、本第 6 実施例の変形例として、本発明装置の第 5 実施例に記載したように、半導体素子 1 6 を金属パッド 1 2 にフリップチップ接続した後、プリント基板 2 4 の金属パッドに B G A 用半田ボール 1 9 を取り付ける代わりに、プリント基板 2 4 a のスルーホール 3 0 に接続ピン 2 5 を取り付けてもよい。

## 【 0 1 2 6 】

このように、本実施例の製造方法によれば、図 5 ( c ) 及び図 6 に示すような

キャリア基材を取り付けた半導体装置を効率よく製造することができる。

【0127】

次に、本発明方法の第7実施例について説明する。図19(a)乃至(c)は、本第7実施例方法を工程順に示す部分断面図である。本第7実施例方法は、キャリア基材を接合した半導体装置を製造するためのものであり、第6実施例方法と比較して、スルーホールが導電物質で埋められているキャリア基材又は接続パッドを別に具備しているキャリア基材を使用する点に特徴がある。キャリア基材には、プリント基板、セラミック基板又は有機無機複合基板を使用する。なお、各工程間において適宜洗浄及び熱処理を行う。

【0128】

先ず、第6実施例方法と同様に、図8(a)乃至(e)及び図9(a)に示す工程により、メタルベース11上に多層配線構造膜15を積層した積層体を作製する。また、このとき、図9(a)に示す積層体を使用する替わりに、第2実施例方法における図11(a)に示す積層体に半田ボール20が設けられたものを使用してもよく、第3実施例方法における図13(a)に示す積層体に半導体素子搭載用の凹部32が設けられたものを使用してもよい。また、第4実施例方法における図15(a)に示す積層体に半田ボール20及び半導体素子搭載用の凹部32が設けられたものを使用してもよく、第5実施例方法における積層体に薄膜コンデンサ21が設けられたものを使用することもできる。

【0129】

次に、図19(a)に示すように、多層配線構造膜15の表面を清浄化し、図19(b)に示すように、多層配線構造膜15の裏面における金属パッド29を除く領域に接着剤22を塗布する。接着剤22を所望の領域に塗布する方法は、第6実施例方法と同様である。

【0130】

次に、図19(c)に示すように、キャリア基材であるセラミック基板26のパッドが導電性ペースト23と接続するように、セラミック基板26を多層配線構造膜15に接合する。図19(c)においては、多層配線構造膜15の表面に接着剤22及び導電性ペースト23を塗布した例を示しているが、接着剤22及



び導電性ペースト 2 3 をセラミック基板 2 6 の表面に塗布するか、接着剤 2 2 及び導電性ペースト 2 3 を夫々多層配線構造膜 1 5 の表面及びセラミック基板 2 6 の表面のいずれかに別々に塗布して、セラミック基板 2 6 を多層配線構造膜 1 5 に接合してもよい。

#### 【 0 1 3 1 】

以後の工程は、図 1 8 ( a ) 乃至 ( c ) と同じである。即ち、セラミック基板 2 6 の表面及びメタルベース 1 1 の表面に、エッチングレジスト 2 8 を形成し、パターニングする。その後、このエッチングレジスト 2 8 をマスクとして、メタルベース 1 1 を多層配線構造膜 1 5 が露出するまでエッチングする。次に、エッチングレジスト 2 8 を除去し、金属パッド 1 2 の表面及びセラミック基板 2 6 の金属パッドの表面を清浄化し、半導体パッケージ基板を形成する。

#### 【 0 1 3 2 】

次に、半導体素子 1 6 を金属パッド 1 2 に半田ボール 1 8 を介してフリップチップ接続し、その後、多層配線構造膜 1 5 と半導体素子 1 6 との間の空間にアンダーフィル 1 7 を流し込んで硬化させる。次いで、セラミック基板 2 6 の金属パッドに B G A 用半田ボール 1 9 を装着する。

#### 【 0 1 3 3 】

また、本第 7 実施例の変形例として、半導体素子 1 6 を金属パッド 1 2 にフリップチップ接続した後、B G A 用半田ボール 1 9 の替わりに、接続ピン 2 5 を取り付けてもよい。

#### 【 0 1 3 4 】

このように、本第 7 実施例の製造方法によれば、図 7 に示すようなスルーホールが導電物質で埋められているキャリア基材又は接続パッドを別に具備しているキャリア基材を取り付けた半導体パッケージ基板を効率よく製造することができる。

#### 【 0 1 3 5 】

次に、本発明方法の第 8 実施例について説明する。図 2 0 ( a ) 乃至 ( c ) 並びに図 2 1 ( a ) 及び ( b ) は、本第 8 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。本第 8 実施例は、本発明装置の第 4 実施例に係る

半導体装置、即ち、キャリア基材を接合した半導体装置を製造するためのものである。本実施例は、メタルベース 1 1 をキャリア基材に接合させる前に、メタルベース 1 1 に半導体素子 1 6 を嵌入するための開口部を設けることに特徴がある。なお、各工程間において適宜洗浄及び熱処理を行う。

## 【 0 1 3 6 】

図 2 0 ( a ) 乃至 ( c ) 並びに図 2 1 ( a ) 及び ( b ) は、第 6 実施例方法と同様に、キャリア基材にはプリント基板 2 4 を使用する例を示している。また、図 2 0 ( a ) 乃至 ( c ) 並びに図 2 1 ( a ) 及び ( b ) においては、図 9 ( c ) に示すようなメタルベース 1 1 上に多層配線構造膜 1 5 を積層しメタルベース 1 1 に開口部を設けたものを使用し、以後の工程を例として示している。本第 8 実施例においては、図 9 ( c ) に示すものの替わりに、図 1 1 ( c ) 、図 1 3 ( c ) 若しくは図 1 5 ( c ) に示すもの又は第 5 実施例方法にて形成した薄膜コンデンサ 2 1 を具備するものを使用することもできる。

## 【 0 1 3 7 】

先ず、図 8 ( a ) 乃至 ( e ) 並びに図 9 ( a ) 及び ( b ) に示す工程により、メタルベース 1 1 上に多層配線構造膜 1 5 を積層しメタルベース 1 1 に開口部を設けたものを作製する。即ち、図 8 ( a ) に示すように、厚さ 0 . 1 乃至 1 . 5 mm の金属板であるメタルベース 1 1 の表面にめっきレジスト 2 7 を形成しパターンニングする。

## 【 0 1 3 8 】

次に、図 8 ( b ) に示すように、めっきレジスト 2 7 の開口部に電解めっき法又は無電解めっき法により、金、錫及び半田からなる群より選択された少なくとも 1 種の金属又はその合金を析出させ、バリアメタルとしてニッケルを析出し、更に銅を析出させて金属パッド 1 2 を形成する。

## 【 0 1 3 9 】

次に、図 8 ( c ) に示すように、めっきレジスト 2 7 を除去した後、表面を清浄化し、図 8 ( d ) に示すように、絶縁層 1 3 を形成し、図 8 ( e ) に示すように、配線パターンを形成し配線層 1 4 を形成する。

## 【 0 1 4 0 】

次に、図 9 (a) に示すように、絶縁層形成工程及び配線層形成工程を繰り返して、多層配線構造膜 1 5 を形成し、図 9 (a) に示すような積層体を得る。次に、図 9 (b) に示すように、多層配線構造膜 1 5 の裏面及びメタルベース 1 1 の表面にエッチングレジスト 2 8 を形成し、パターニングする。その後、このエッチングレジスト 2 8 をマスクとして、メタルベース 1 1 を多層配線構造膜 1 5 が露出するまでエッチングする。

## 【 0 1 4 1 】

次に、図 2 0 (a) に示すように、多層配線構造膜 1 5 の表面を清浄化し、図 2 0 (b) に示すように、多層配線構造膜 1 5 の裏面における金属パッド 2 9 を除く領域に接着剤 2 2 を塗布する。

## 【 0 1 4 2 】

次に、図 2 0 (c) に示すように、キャリア基材であるプリント基板 2 4 を、プリント基板 2 4 のスルーホール 3 0 に多層配線構造膜 1 5 の金属パッド 2 9 が整合するように接合する。図 2 0 (b) では、多層配線構造膜 1 5 の表面に接着剤 2 2 を塗布する例が示されているが、プリント基板 2 4 に接着剤 2 2 を塗布して接合を行ってもよい。

## 【 0 1 4 3 】

次に、図 2 1 (a) に示すように、プリント基板 2 4 のスルーホール 3 0 内に、導電性ペースト 2 3 を充填し、加熱を施して固める。導電性ペースト 2 3 が以後の工程で漏れ及び変形を起こす可能性がある場合は、スルーホール 3 0 に更に絶縁樹脂を充填して硬化させることが好ましい。以上の工程により、図 2 1 (a) に示すような半導体パッケージ基板 3 1 c を形成する。

## 【 0 1 4 4 】

次に、図 2 1 (b) に示すように、半導体素子 1 6 を金属パッド 1 2 に半田ボール 1 8 を介してフリップチップ接続する。また、金属パッド 1 2 の表面に半田ボール 2 0 が形成されている場合は、半田ボール 2 0 を介するか、又は半田ボール 2 0 を予備半田として使用し半田ボール 1 8 を介してフリップチップ接続する。その後、多層配線構造膜 1 5 と半導体素子 1 6 との間の空間にアンダーフィル 1 7 を流し込んで硬化させる。次いで、プリント基板 2 4 の金属パッドに B G A

用半田ボール 1 9 を装着する。

【 0 1 4 5 】

また、本第 8 実施例方法の変形例として、本発明装置の第 5 実施例に記載したように、半導体素子 1 6 を金属パッド 1 2 にフリップチップ接続した後、プリント基板 2 4 の金属パッドに B G A 用半田ボール 1 9 を取り付ける替わりに、プリント基板 2 4 a のスルーホール 3 0 に接続ピン 2 5 を取り付けてもよい。

【 0 1 4 6 】

このように、本第 8 実施例の製造方法によれば、キャリア基材をメタルベース 1 1 に接合させる前に、メタルベース 1 1 に半導体素子 1 6 を配置するための開口部を設けることができる。このため、キャリア基材を接合した後にメタルベース 1 1 のエッチング処理を行う必要がない。多層配線構造膜 1 5 とキャリア基材との接合に関しては、本第 8 実施例の製造方法よりも第 6 実施例方法及び第 7 実施例方法の方が有利であるが、エッチング処理により損傷を受けやすいキャリア基材を使用する場合は、本第 8 実施例の製造方法の方が有利となる。

【 0 1 4 7 】

次に、本発明方法の第 9 実施例について説明する。図 2 2 ( a ) 乃至 ( c ) は、本第 9 実施例方法に係る半導体装置の製造方法を工程順に示す部分断面図である。本実施例の製造方法は、第 7 実施例方法に係る製造方法と第 8 実施例方法に係る製造方法とを組み合わせた方法である。即ち、キャリア基材を接合した半導体パッケージ基板を製造するための製造方法であり、キャリア基材にはスルーホールが導電物質で埋められているキャリア基材又は接続パッドを別に具備しているキャリア基材を使用し、キャリア基材を多層配線構造膜 1 5 に接合させる前に、メタルベース 1 1 に半導体素子 1 6 を配置するための開口部を設ける点に特徴がある。キャリア基材には、プリント基板、セラミック基板又は有機無機複合基板を使用する。なお、各工程間において適宜洗浄及び熱処理を行う。

【 0 1 4 8 】

図 2 2 ( a ) 乃至 ( c ) においては、例としてセラミック基板を使用している。また、図 2 2 ( a ) 乃至 ( c ) においては、第 1 実施例方法の図 9 ( c ) に示すメタルベース 1 1 と多層配線構造膜 1 5 とからなるものを使用し、以後の工程

を例として示している。本第 9 実施例方法においては、図 9 (c) に示すものの替わりに、図 1 1 (c)、図 1 3 (c) 若しくは図 1 5 (c) に示すもの又は第 5 実施例方法に記載されている薄膜コンデンサ 2 1 を具備するものを使用することもできる。

#### 【0 1 4 9】

先ず、第 7 実施例方法と同様に、図 8 (a) 乃至 (e) 並びに図 9 (a) 及び (b) に示す工程により、メタルベース 1 1 上に多層配線構造膜 1 5 を積層したものを作製する。

#### 【0 1 5 0】

次に、図 2 2 (a) に示すように、エッチングレジスト 2 8 を除去し、多層配線構造膜 1 5 の表面を清浄化し、図 2 2 (b) に示すように、多層配線構造膜 1 5 の裏面における金属パッド 2 9 を除く領域に接着剤 2 2 を塗布する。その後、接着剤 2 2 を塗布した領域の開口部、即ち金属パッド 2 9 の部分に導電性ペースト 2 3 を配置する。又は、先に導電性ペースト 2 3 を所望の位置に配置してから、接着剤 2 2 を塗布してもよい。

#### 【0 1 5 1】

次に、図 2 2 (c) に示すように、キャリア基材であるセラミック基板 2 6 の金属パッドが導電性ペースト 2 3 と接続するように、セラミック基板 2 6 を多層配線構造膜 1 5 に接合する。図 2 2 (b) においては、多層配線構造膜 1 5 の表面に接着剤 2 2 及び導電性ペースト 2 3 を塗布した例を示しているが、接着剤 2 2 及び導電性ペースト 2 3 をセラミック基板 2 6 に表面に塗布するか、接着剤 2 2 及び導電性ペースト 2 3 を夫々多層配線構造膜 1 5 の表面及びセラミック基板 2 6 の表面のいずれかに別々に塗布して、セラミック基板 2 6 を多層配線構造膜 1 5 に接合してもよい。以上の工程により、図 2 2 (c) に示すような半導体パッケージ基板 3 1 d が形成される。

#### 【0 1 5 2】

以後の工程は、図 1 8 (c) と同じである。即ち、半導体素子 1 6 を金属パッド 1 2 に半田ボール 1 8 を介してフリップチップ接続し、その後、多層配線構造膜 1 5 と半導体素子 1 6 との間の空間にアンダーフィル 1 7 を流し込んで硬化さ

せる。次いで、セラミック基板 2 6 の金属パッドに B G A 用半田ボール 1 9 を装着する。

#### 【 0 1 5 3 】

また、本第 9 実施例方法の変形例として、本発明装置の第 5 実施例に記載したように、半導体素子 1 6 を金属パッド 1 2 にフリップチップ接続した後、プリント基板 2 4 の金属パッドに B G A 用半田ボール 1 9 を取り付ける替わりに、プリント基板 2 4 a のスルーホール 3 0 に接続ピン 2 5 を取り付けてもよい。

#### 【 0 1 5 4 】

このように、本第 9 実施例の製造方法によれば、スルーホールが導電物質で埋められているキャリア基材又は接続パッドを別に具備しているキャリア基材を取り付けた半導体パッケージ基板を効率よく製造することができる。また、キャリア基材を多層配線構造膜 1 5 に接合させる前に、メタルベース 1 1 に半導体素子 1 6 を嵌入するための開口部を設けることにより、キャリア基材を接合した後にメタルベース 1 1 のエッチング処理を行う必要がなくなり、エッチング処理により損傷を受けやすいキャリア基材を使用することができる。

#### 【 0 1 5 5 】

##### 【発明の効果】

以上詳述したように、本発明の半導体パッケージ基板は、平滑なメタルベース上に半導体素子搭載用の第 1 の金属パッドを有する多層配線構造膜を積層しているため、半導体素子搭載部の平坦性が優れており、半導体素子を半導体パッケージ基板に実装する際の信頼性を向上できる。また、メタルベースを半導体素子搭載部以外の部分に残すことにより、多層配線構造膜の反り及び寸法変化を最小限に抑えることができるため、多層配線構造膜における多ピン化、高密度化及び微細化が容易になる。更に、メタルベースの変形量は、プリント基板及びセラミック基板の変形量と比較して少ないため、多層配線構造膜の高密度化が容易となる。

#### 【 0 1 5 6 】

また、本発明の半導体装置は、半導体素子搭載後の半導体素子の表面とメタルベースの表面とを同一面上に配置することにより、メタルベースをスティフナと

して使用することができる。これにより、基板にスティフナを装着する工程を無くすることができるため、半導体装置の製造コストを低減することができる。

【0157】

更に、半導体素子搭載用の金属パッドの表面に半田ボールを配置することにより、半導体素子接続用の半田又は予備半田として使用できるため、フリップチップパッドの狭ピッチ化に対応できる。

【0158】

更にまた、メタルベース上に半導体素子搭載用の金属パッドを形成したのち薄膜コンデンサを形成することができるために、チップパッド近傍にデカップリングコンデンサを設けることができる。

【0159】

更にまた、キャリア基材を接続させない半導体パッケージ基板では、配線長を最短に抑えることができ、信号の高速化に対し有効な構造となる。一方、キャリア基材を接続させることにより、容易にグランド機能を強化し、抵抗及びコンデンサ等の受動部品を付加させることができる。また、マザーボードへの搭載時に発生する応力をキャリア基材で緩和することができ、二次実装時の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】

本発明に係る半導体装置の第1実施例を示す図であって、図1（a）は表面側からみた斜視図、（b）は裏面側からみた斜視図、（c）は部分断面図である。

【図2】

本発明に係る半導体装置の第2実施例を示す部分断面図である。

【図3】

本発明に係る半導体装置の第3実施例を示す部分断面図である。

【図4】

本発明に係る半導体装置の第3実施例を示す部分断面図である。

【図5】

本発明に係る半導体装置の第4実施例を示す図であって、図5（a）は表面側

からみた斜視図、（b）は裏面側からみた斜視図、（c）は部分断面図である。

【図 6】

本発明に係る半導体装置の第 5 実施例を示す部分断面図である。

【図 7】

本発明に係る半導体装置の第 6 実施例を示す部分断面図である。

【図 8】

（a）乃至（e）は本発明方法の第 1 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

【図 9】

（a）乃至（d）は同じく、この第 1 実施例方法における図 8 の次の工程を工程順に示す部分断面図である。

【図 1 0】

（a）乃至（f）は本発明方法の第 2 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

【図 1 1】

（a）乃至（d）は同じく、この第 2 実施例方法における図 1 0 の次の工程を工程順に示す部分断面図である。

【図 1 2】

（a）乃至（f）は本発明方法の第 3 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

【図 1 3】

（a）乃至（d）は同じく、この第 3 実施例方法における図 1 2 の次の工程を工程順に示す部分断面図である。

【図 1 4】

（a）乃至（f）は本発明方法の第 4 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

【図 1 5】

（a）乃至（d）は同じく、この第 4 実施例方法における図 1 4 の次の工程を工程順に示す部分断面図である。



【図 1 6】

(a) 及び (b) は本発明方法の第 5 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

【図 1 7】

(a) 乃至 (d) は本発明方法の第 6 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

【図 1 8】

(a) 乃至 (c) は同じく、この第 6 実施例方法における図 1 7 の次の工程を工程順に示す部分断面図である。

【図 1 9】

(a) 乃至 (c) は本発明方法の第 7 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

【図 2 0】

(a) 乃至 (c) は本発明方法の第 8 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

【図 2 1】

(a) 及び (b) は同じく、この第 8 実施例方法における図 2 0 の次の工程を工程順に示す部分断面図である。

【図 2 2】

(a) 乃至 (c) は本発明方法の第 9 実施例に係る半導体装置の製造方法を工程順に示す部分断面図である。

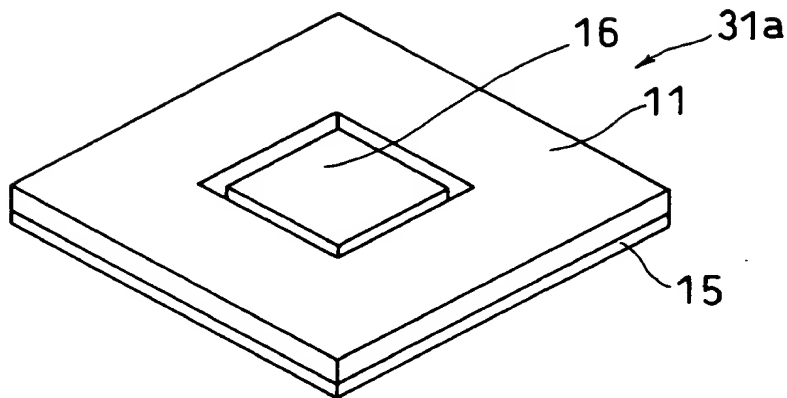
【符号の説明】

- 1 1 ; メタルベース
- 1 2 ; 金属パッド
- 1 3 ; 絶縁層
- 1 4 ; 配線層
- 1 5 ; 多層配線構造膜
- 1 6 ; 半導体素子
- 1 7 ; アンダーフィル

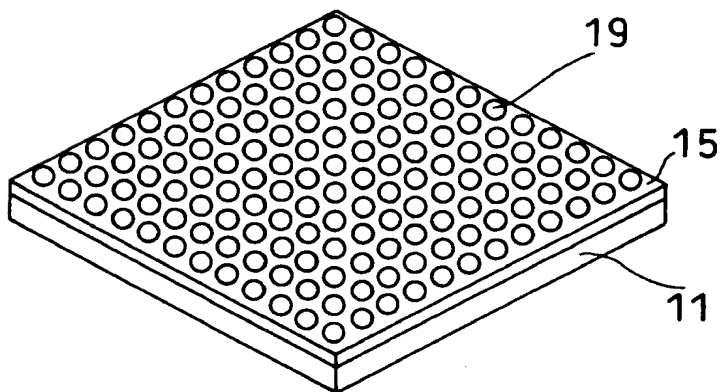
- 1 8 ; 半田ボール
- 1 9 ; B G A 用半田ボール
- 2 0 ; 半田ボール
- 2 1 ; 薄膜コンデンサ
- 2 2 ; 接着剤
- 2 3 ; 導電性ペースト
- 2 4、2 4 a ; プリント基板
- 2 5 ; 接続ピン
- 2 6 ; セラミック基板
- 2 7 ; レジスト
- 2 8 ; レジスト
- 2 9 ; 金属パッド
- 3 0 ; スルーホール
- 3 1 a ~ 3 1 e ; 半導体パッケージ基板
- 3 2 ; 凹部
- 3 3 ; 凹部
- 3 4 ; ビアホール

【書類名】 図面

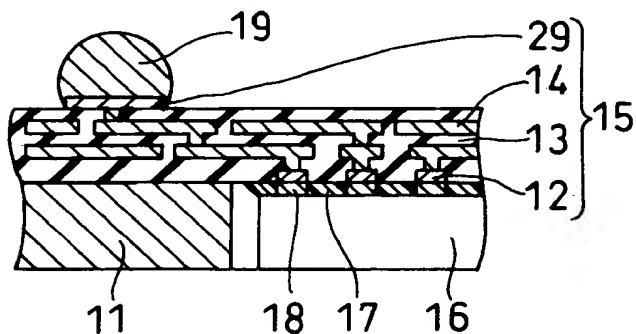
【図 1】



(a)



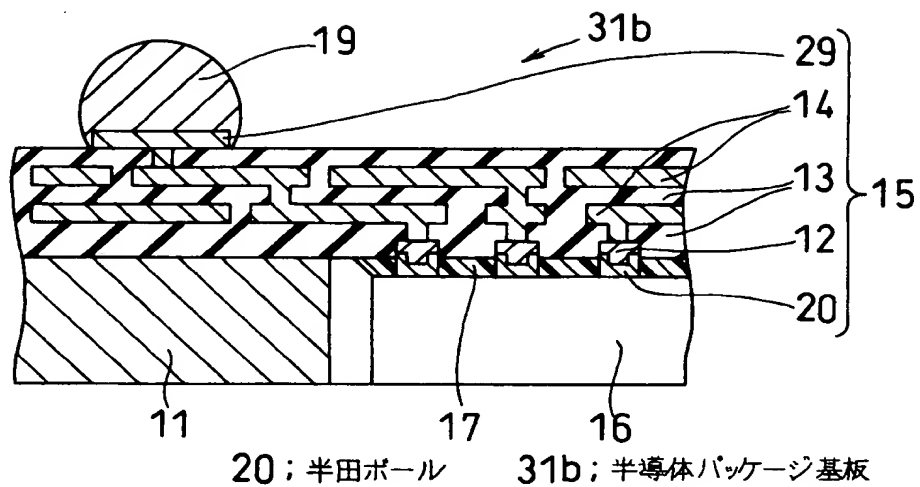
(b)



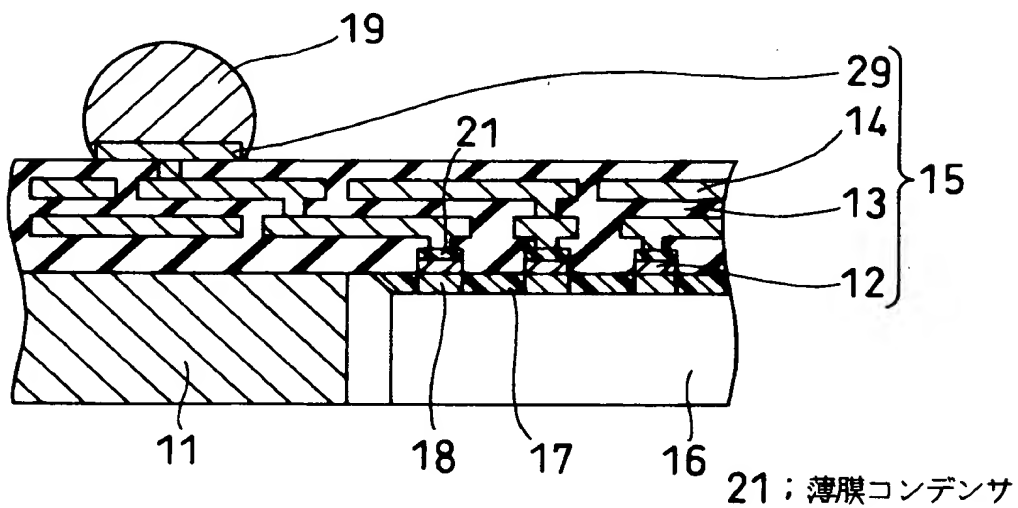
(c)

- 11 ; メタルベース
- 12 ; 金属パッド
- 13 ; 絶縁層
- 14 ; 配線層
- 15 ; 多層配線構造膜
- 16 ; 半導体素子
- 17 ; アンダーフィル
- 18 ; 半田ボール
- 19 ; BGA用半田ボール
- 29 ; 金属パッド
- 31a ; 半導体パッケージ基板

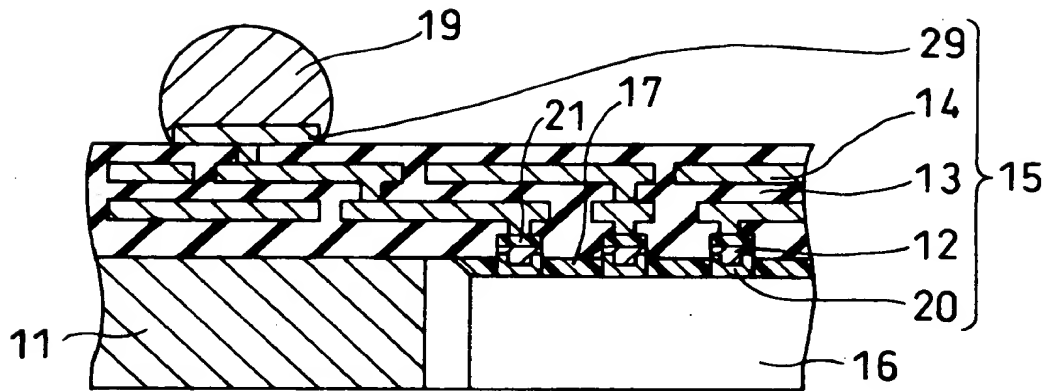
【図 2】



【図 3】



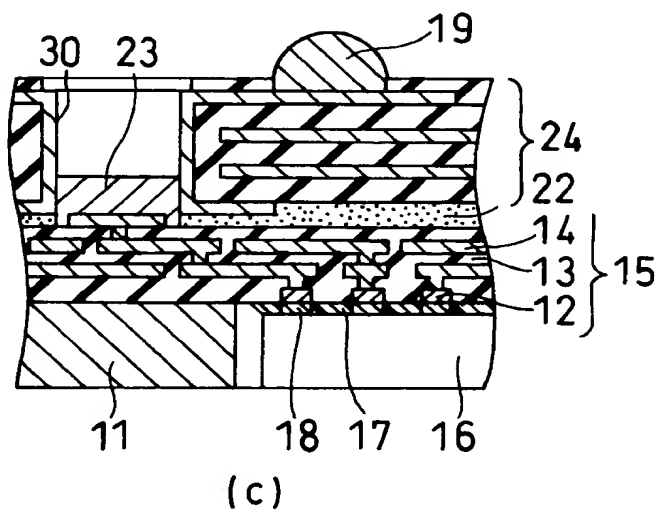
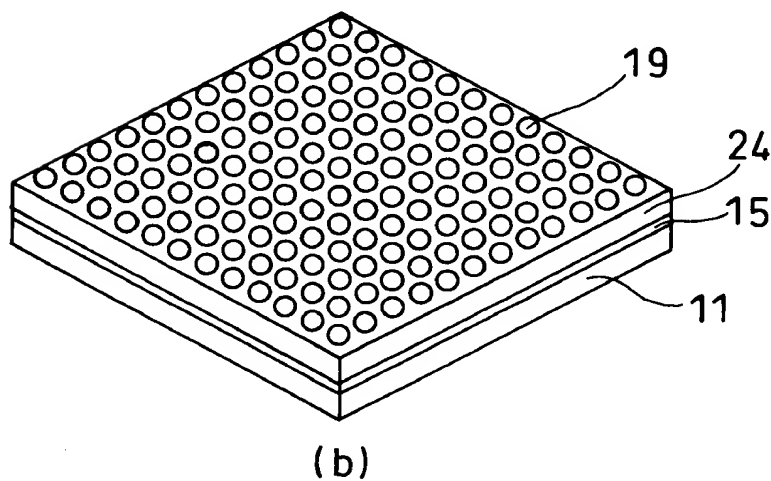
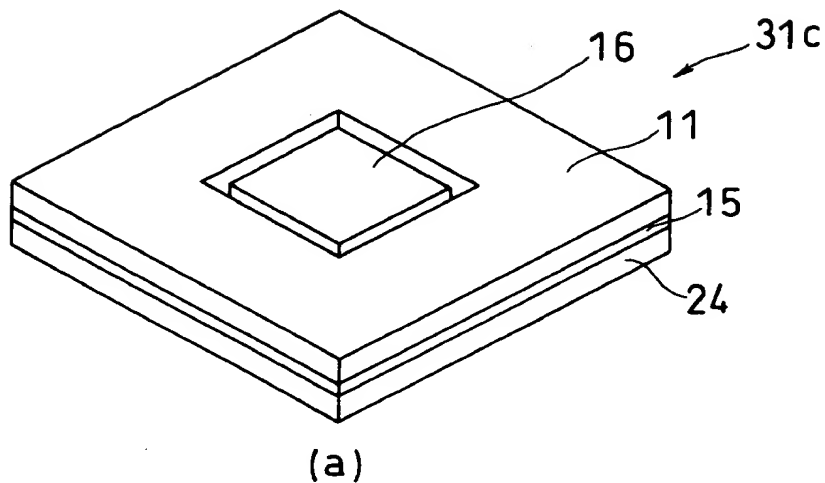
【図4】



20；半田ボール

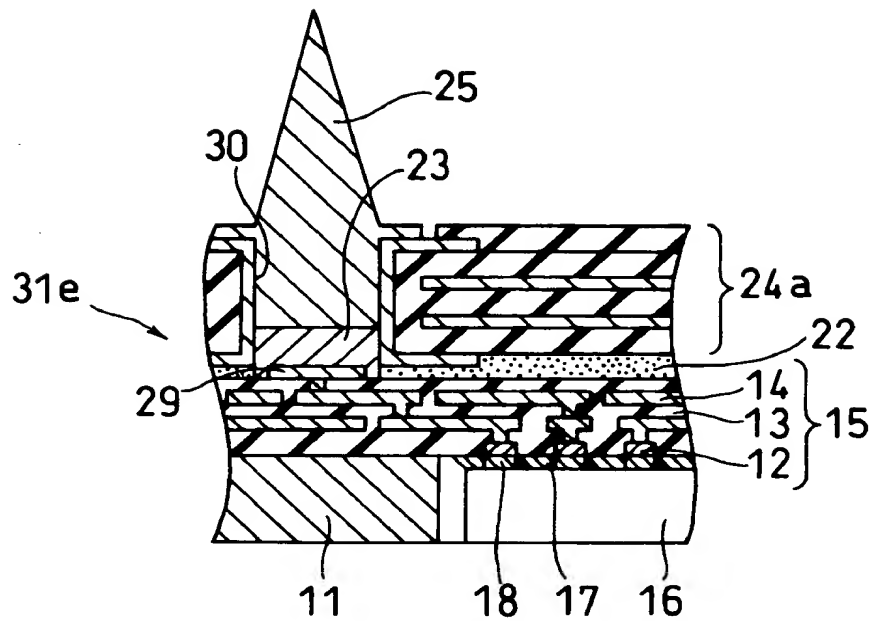
21；薄膜コンデンサ

【図 5】

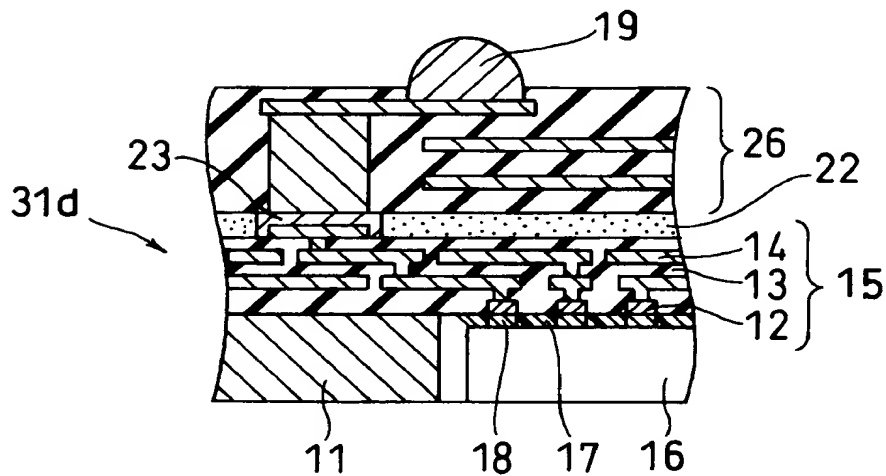


- 11 ; メタルベース
- 12 ; 金属パッド
- 13 ; 絶縁層
- 14 ; 配線層
- 15 ; 多層配線構造膜
- 16 ; 半導体素子
- 17 ; アンダーフィル
- 18 ; 半田ボール
- 19 ; BGA用半田ボール
- 22 ; 接着剤
- 23 ; 導電性ペースト
- 24 ; プリント基板
- 29 ; 金属パッド
- 30 ; スルーホール
- 31c ; 半導体パッケージ基板

【図 6】

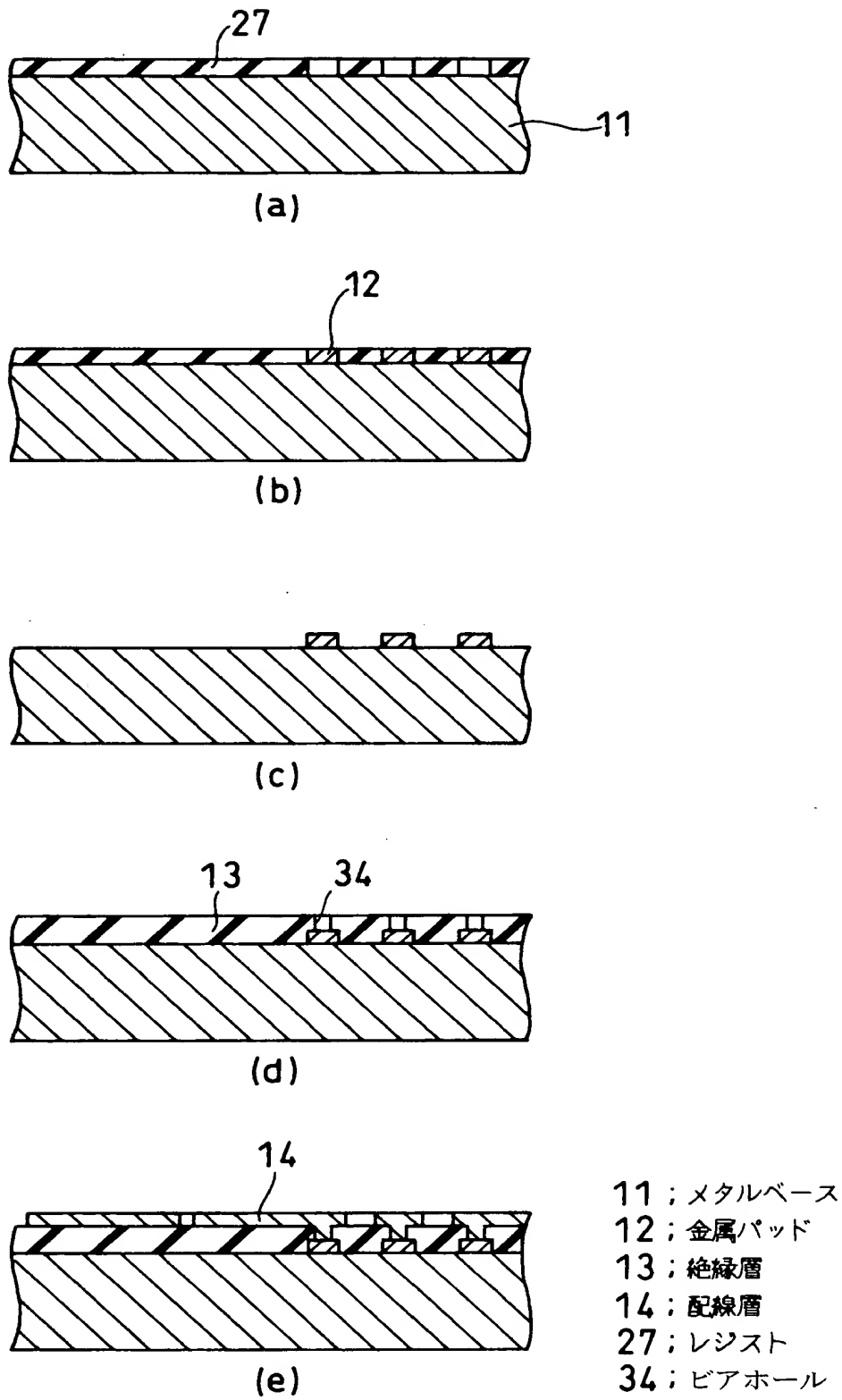


【図 7】



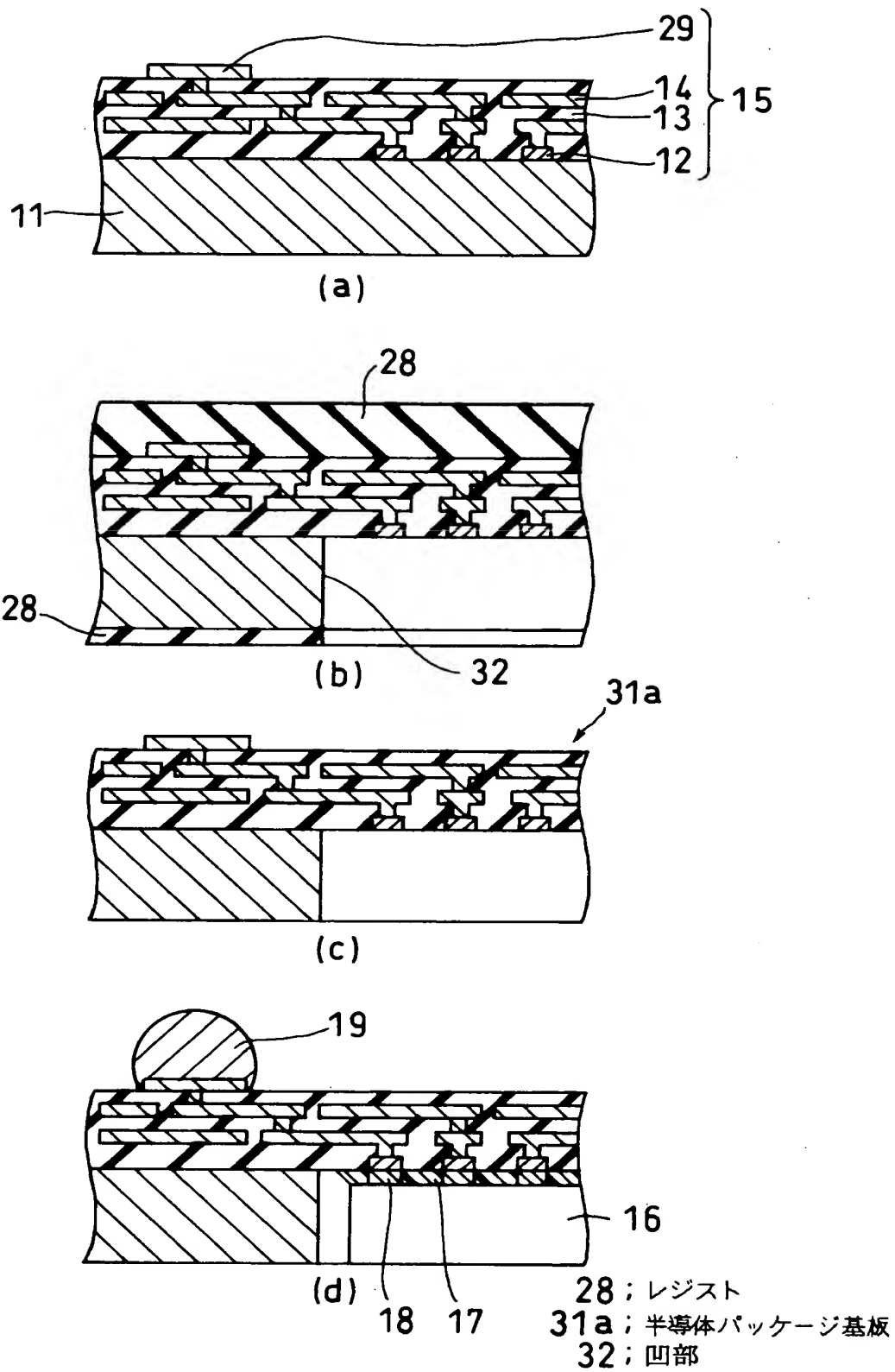
- |              |                |              |          |
|--------------|----------------|--------------|----------|
| 11 ; メタルベース  | 12 ; 金属パッド     | 13 ; 絶縁層     | 14 ; 配線層 |
| 15 ; 多層配線構造膜 | 16 ; 半導体素子     | 17 ; アンダーフィル |          |
| 18 ; 半田ボール   | 19 ; BGA用半田ボール | 22 ; 接着剤     |          |
| 23 ; 導電性ペースト | 24a ; プリント基板   | 25 ; 接続ピン    |          |
| 26 ; セラミック基板 | 29 ; 金属パッド     | 30 ; スルーホール  |          |

【図 8】

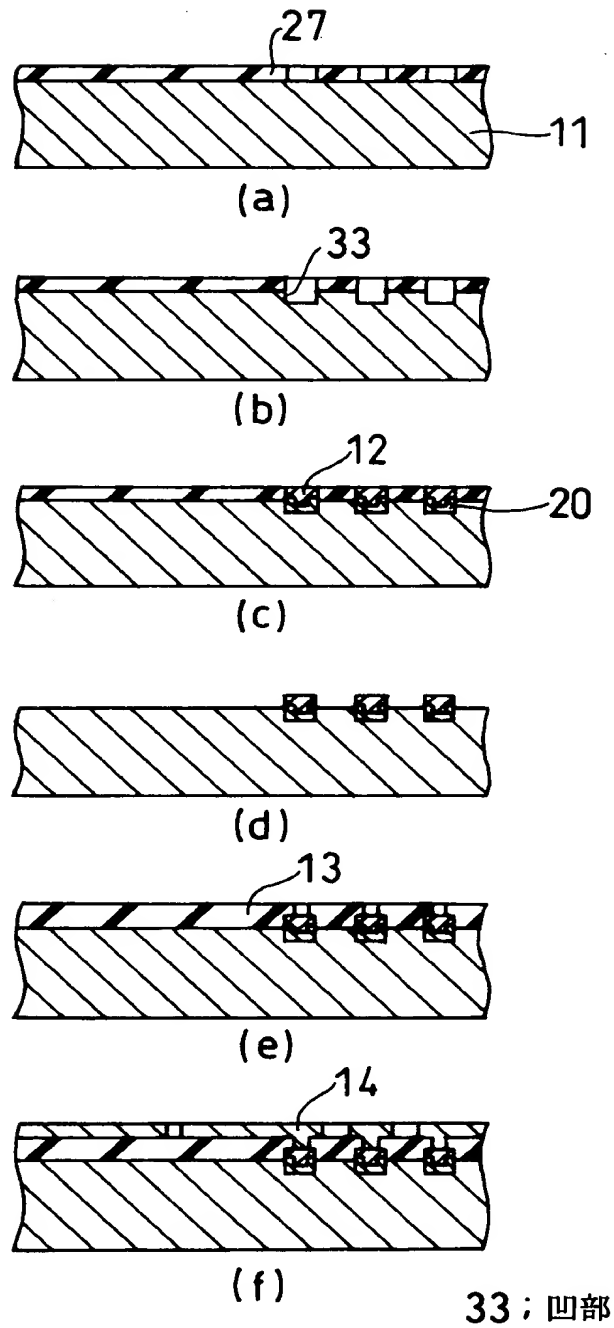




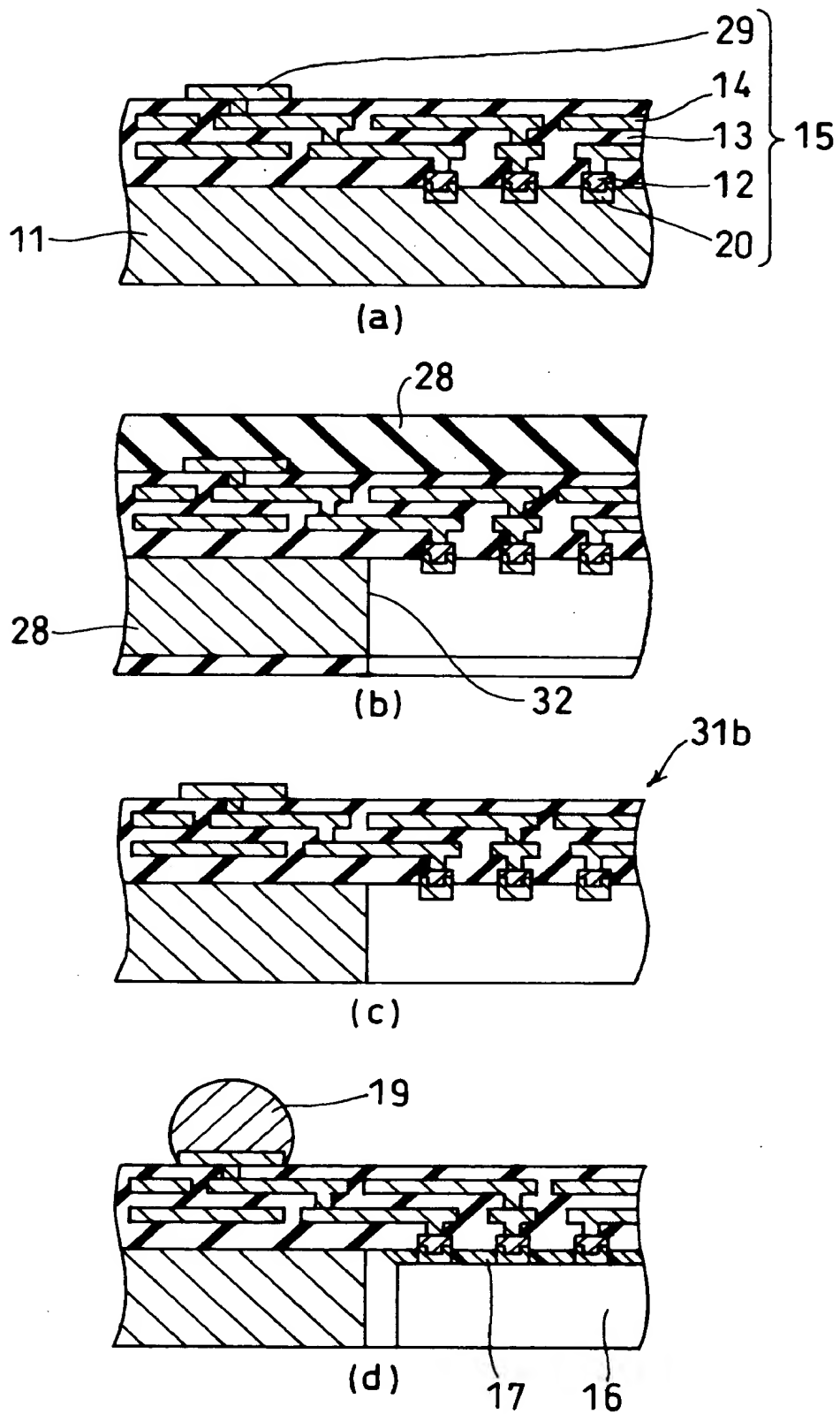
【図 9】



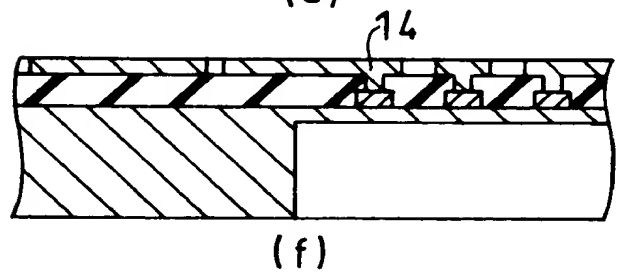
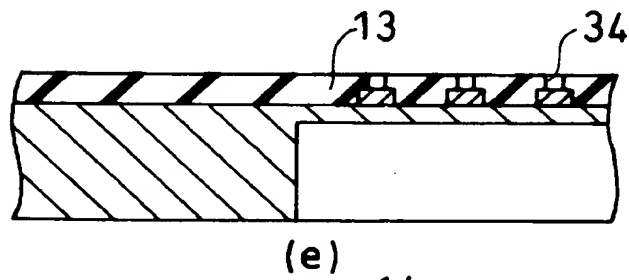
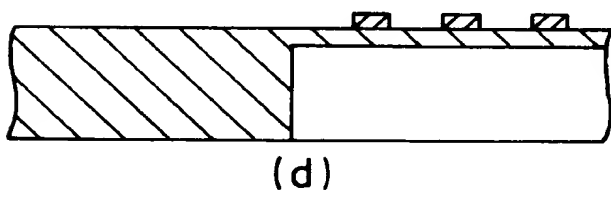
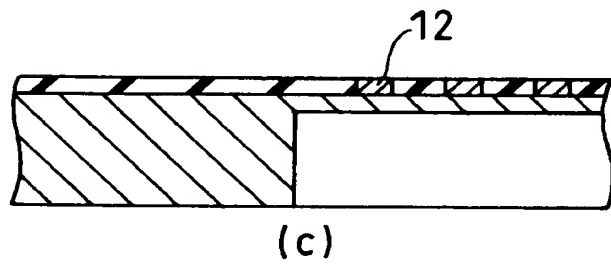
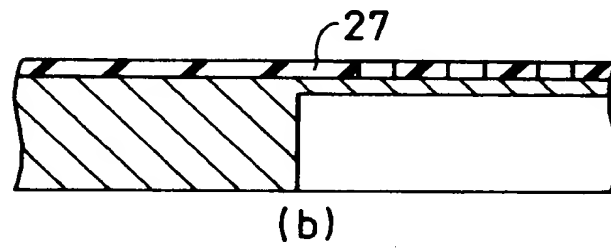
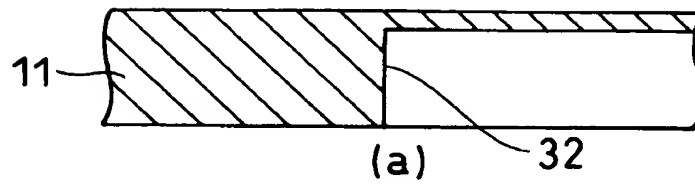
【図 10】



【図 11】

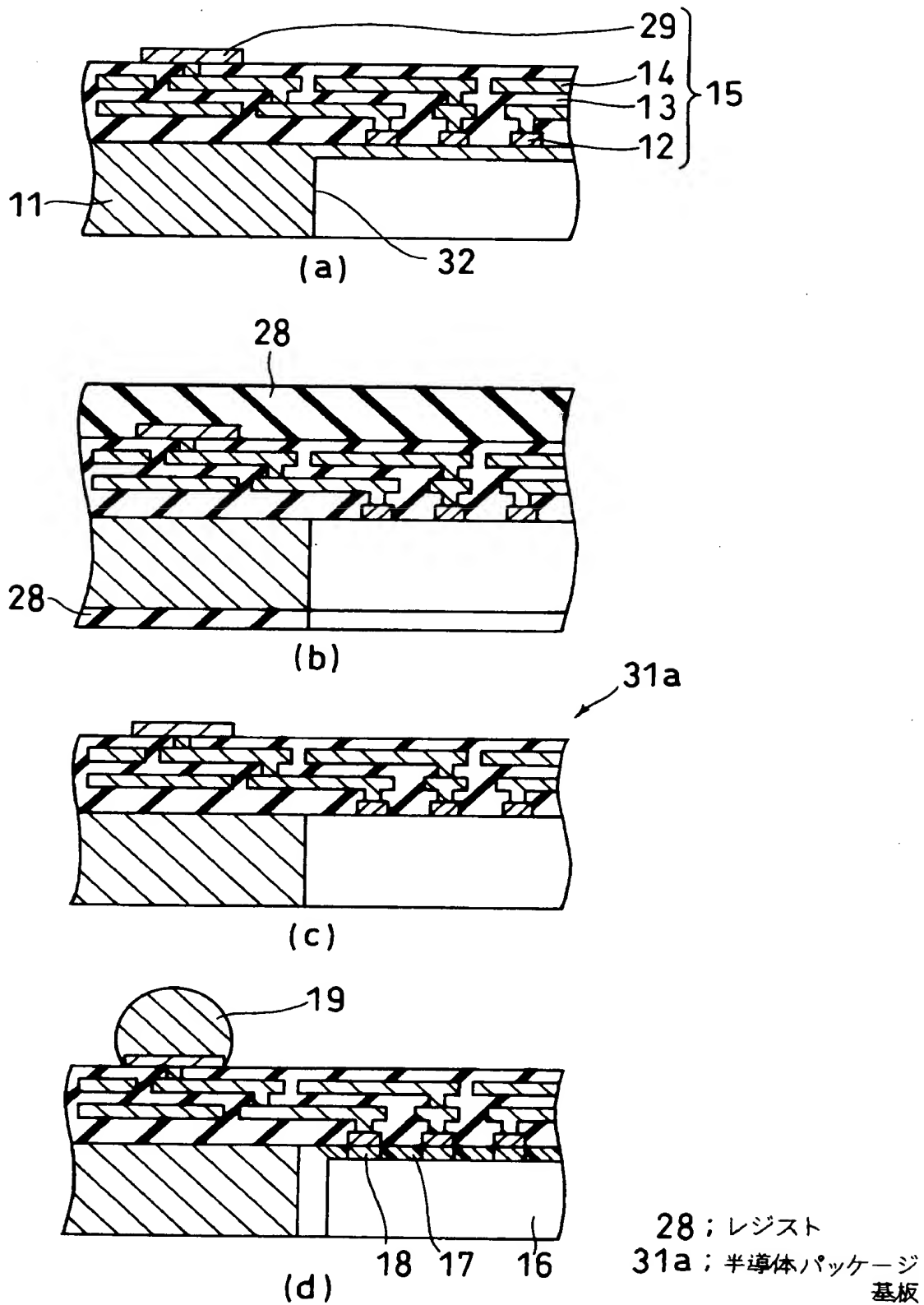


【図 12】

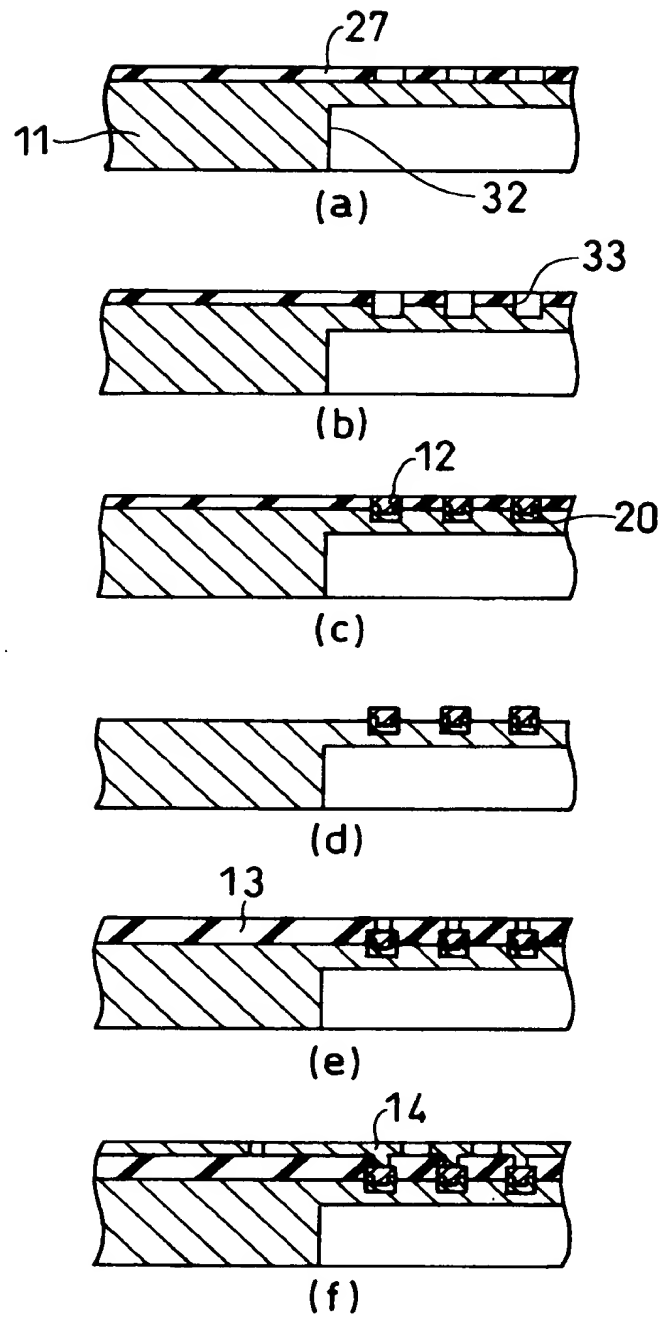


32 ; 凹部

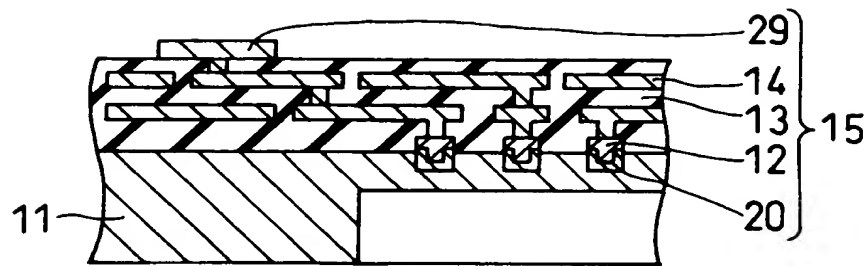
【図13】



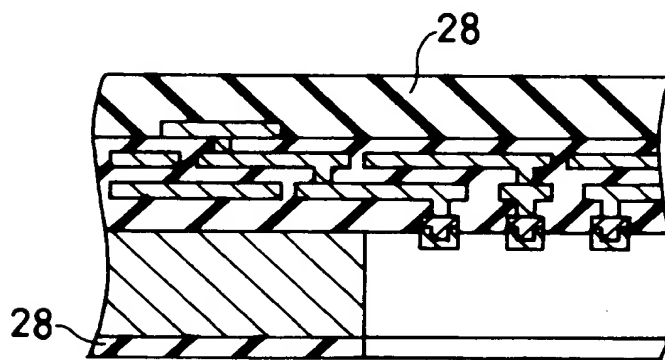
【図 1 4】



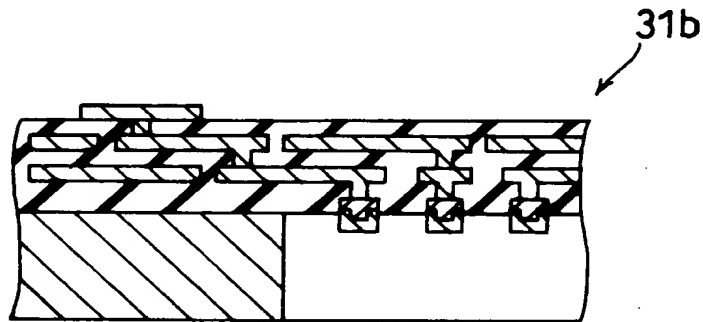
【図 1 5】



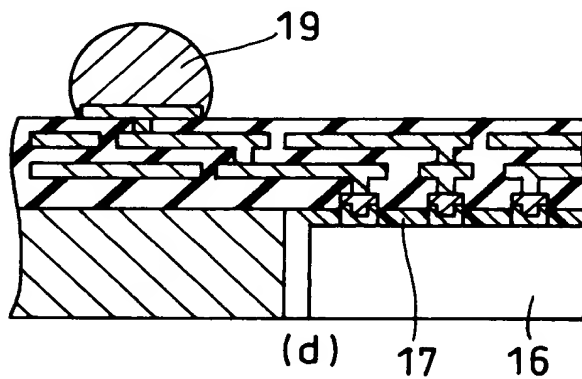
(a)



(b)

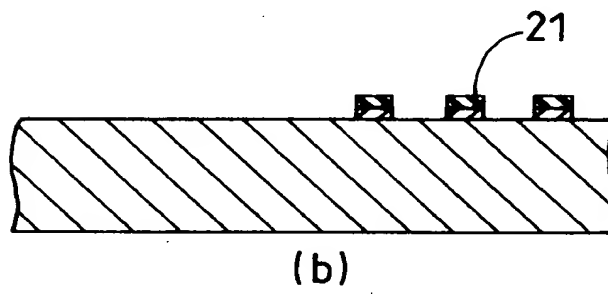
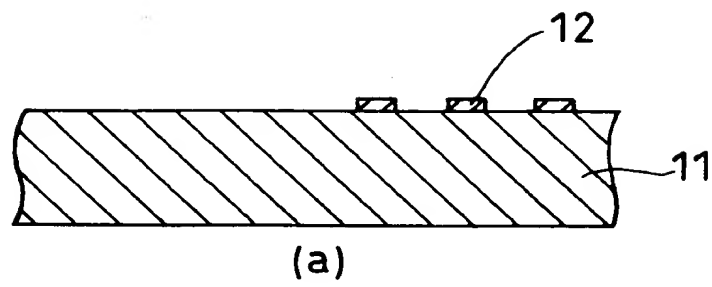


(c)



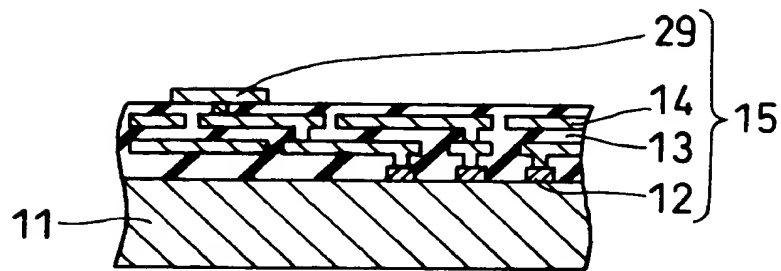
(d)

【図 1 6】

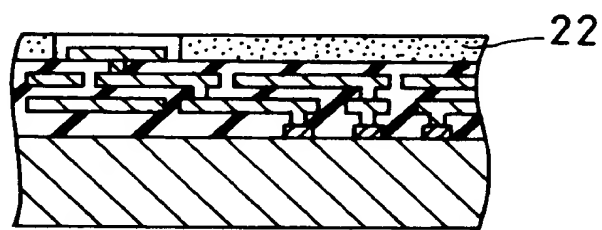




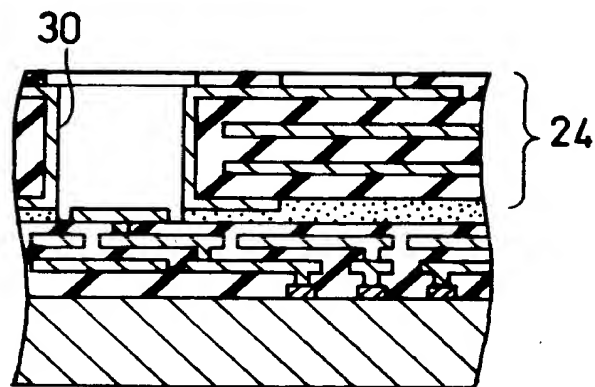
【図 17】



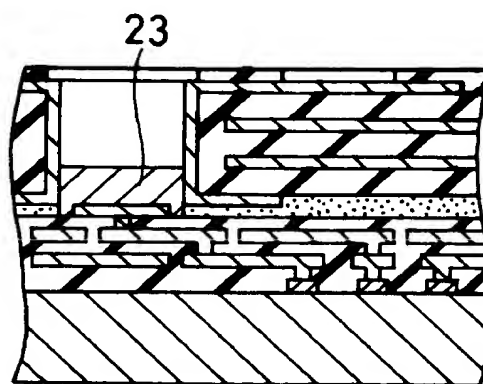
(a)



(b)

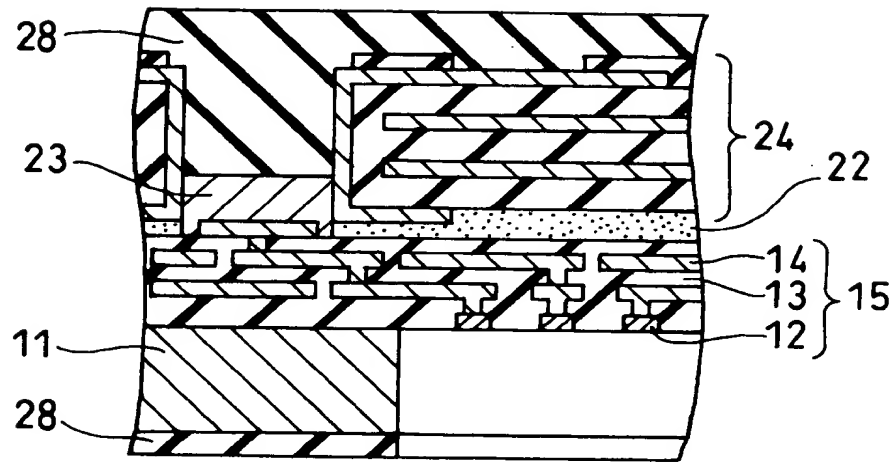


(c)

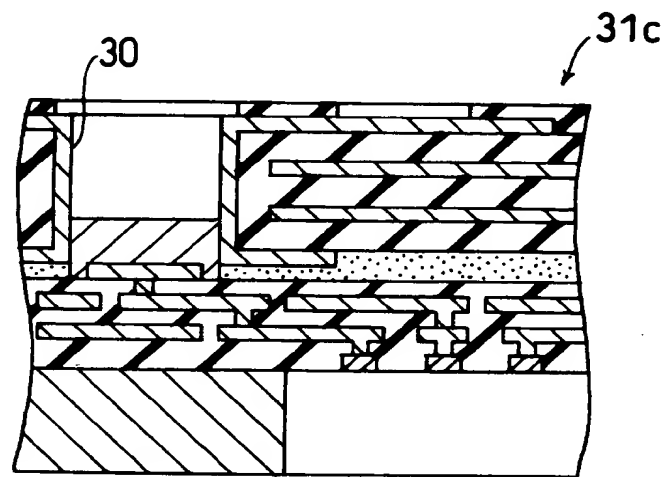


(d)

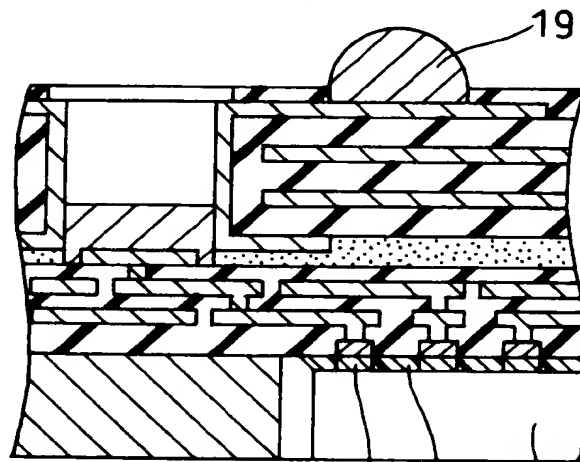
【図 18】



(a)

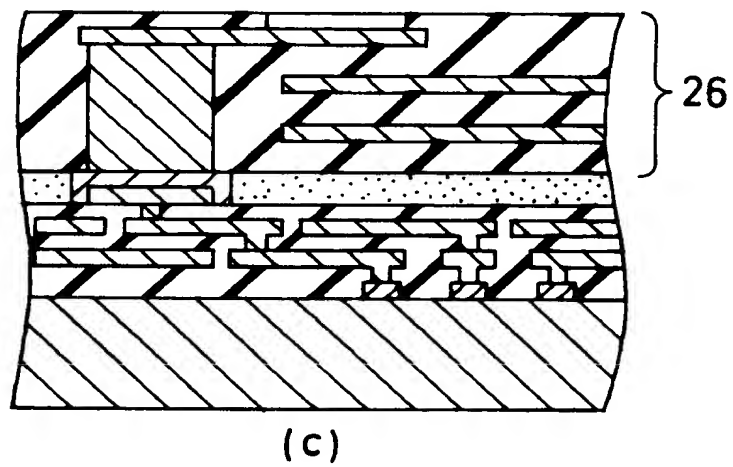
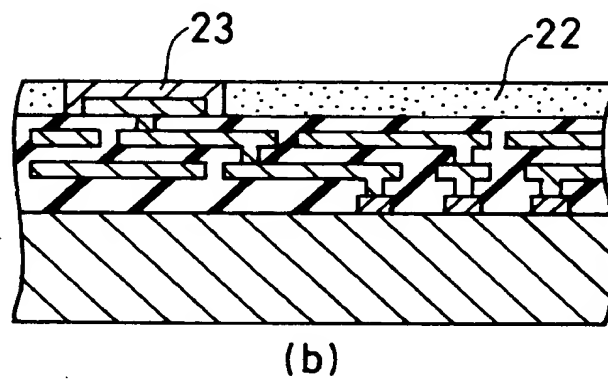
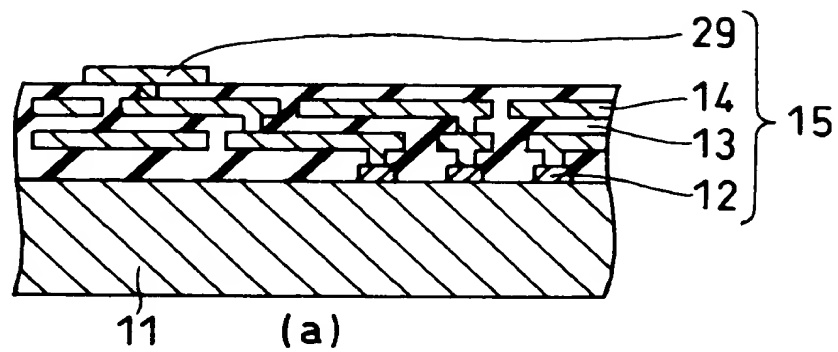


(b)

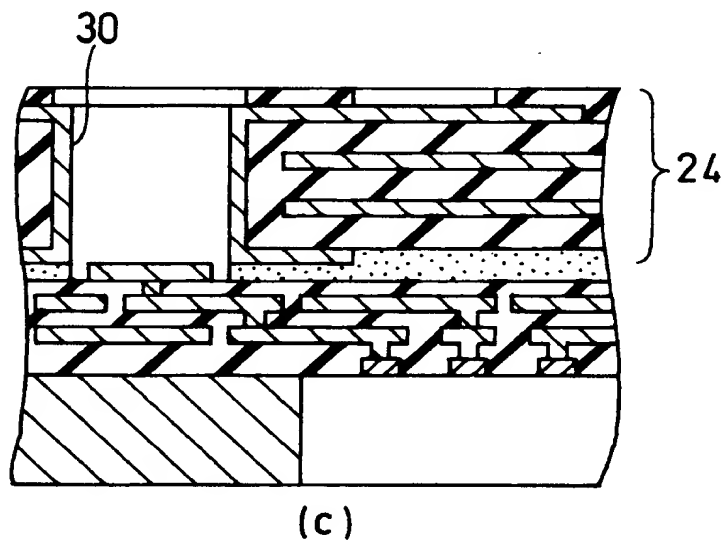
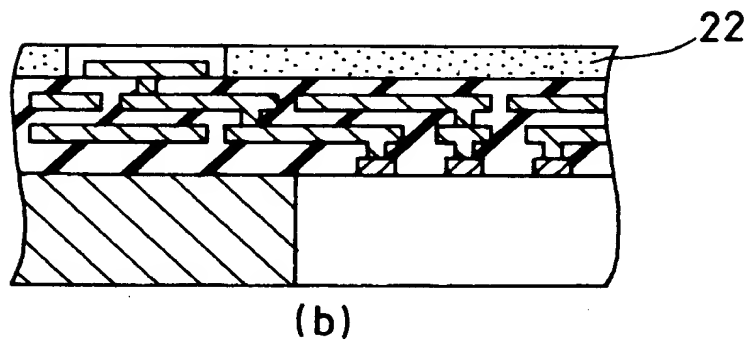
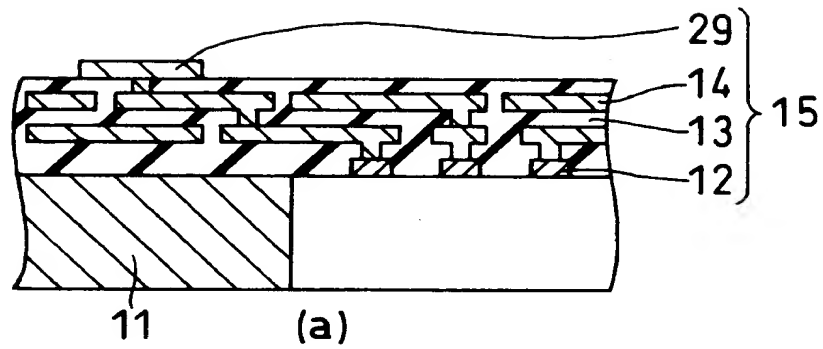


(c)

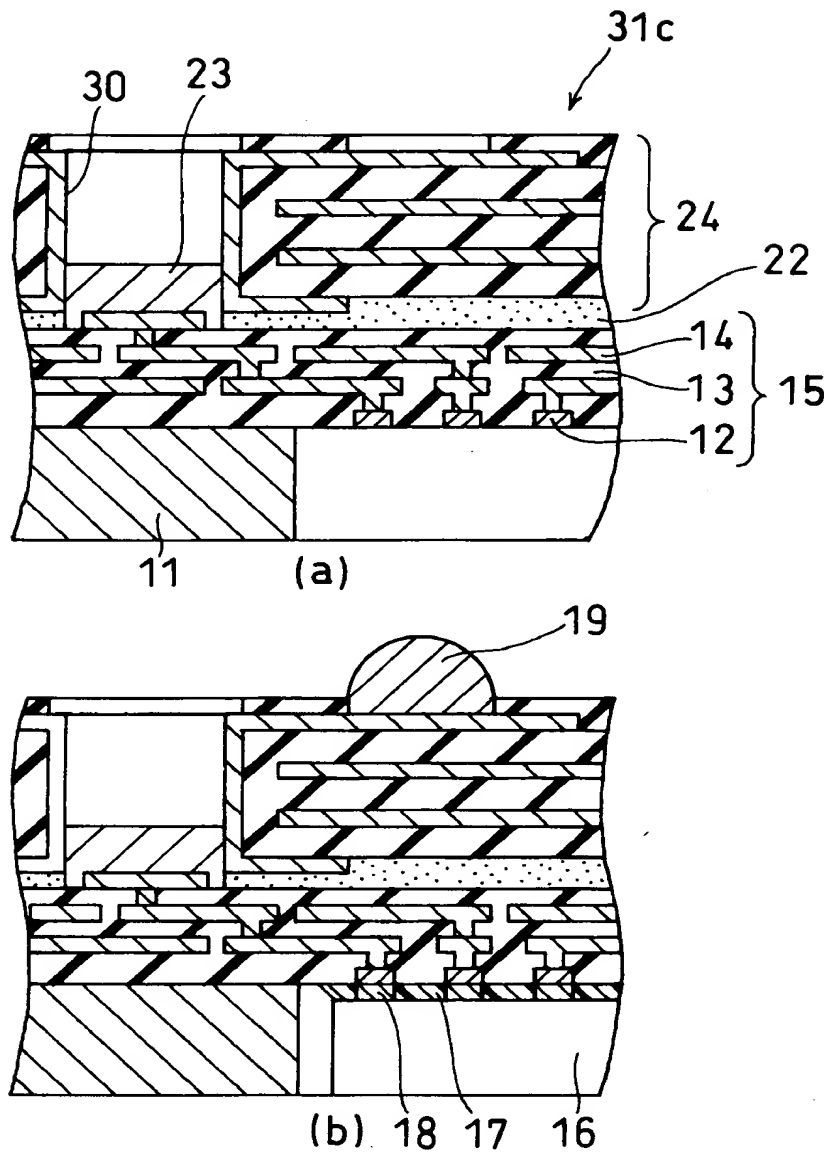
【図 19】



【図 2 0】

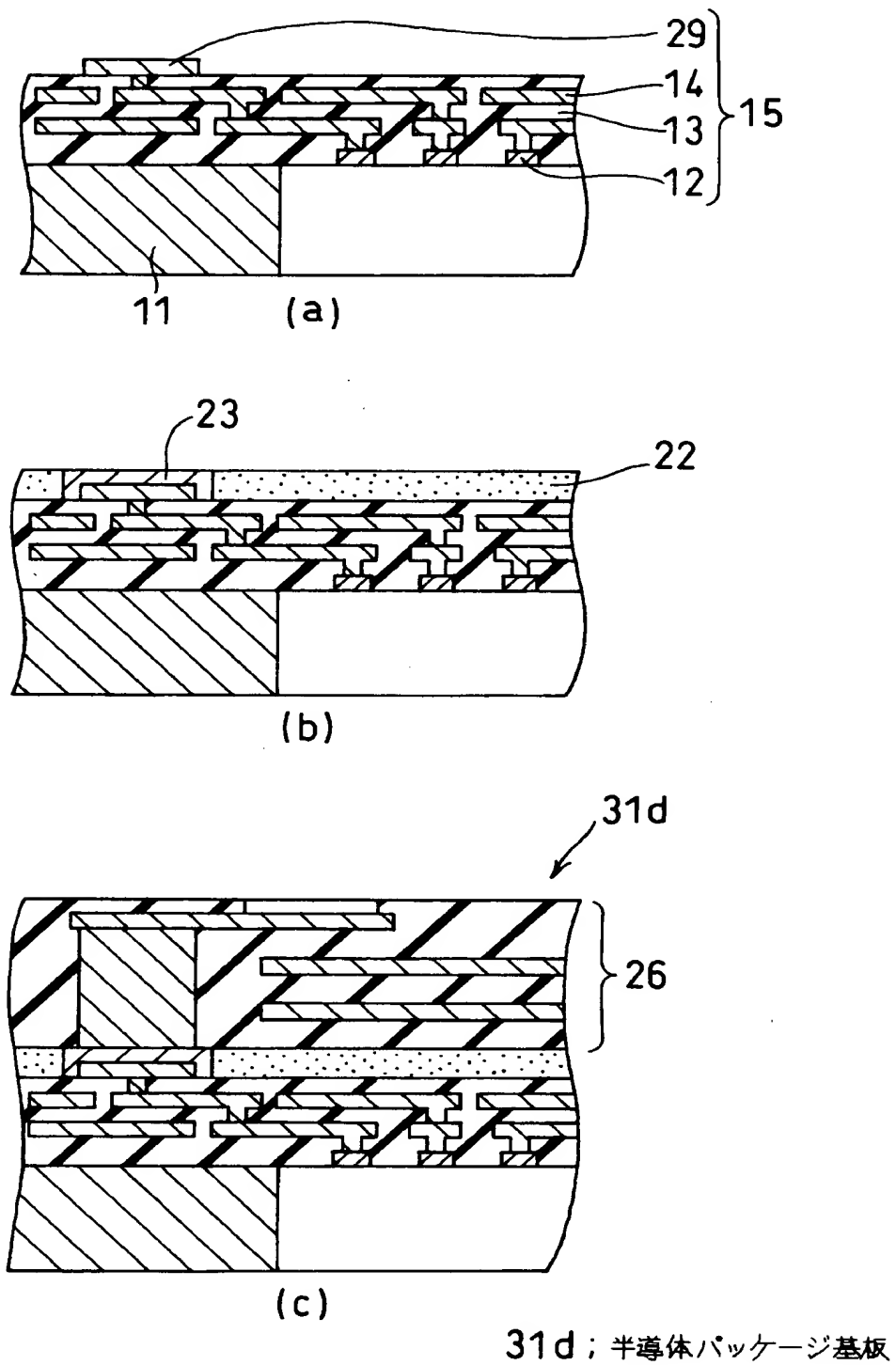


【図 21】



31c ; 半導体パッケージ基板

【図 22】



【書類名】 要約書

【要約】

【課題】 従来の半導体パッケージ基板を改良し、多層配線構造膜の平坦性を向上させることにより、多ピン化、高密度化及び微細化が容易で信頼性が高くスティフナを装着する必要がない新規な半導体パッケージ基板及びそれを使用する半導体装置並びにその製造方法を提供する。

【解決手段】 金属板からなり半導体素子 1 6 を嵌入するための開口部を有するメタルベース 1 1 上に多層配線構造膜 1 5 を積層し、半導体素子 1 6 をメタルベース 1 1 の開口部に嵌入し、金属パッド 1 2 にフリップチップ接続する。更に、金属パッド 2 9 に B G A 用半田ボール 1 9 を装着する。このとき、半導体素子 1 6 の表面は、メタルベース 1 1 の表面と同一面上に配置されることが好ましい。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-199634
受付番号	50000828140
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 7月 3日

<認定情報・付加情報>

【提出日】 平成12年 6月30日



出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日 、  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社